

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-150769

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

G11C 11/403

G11C 11/407

G11C 11/406

(21)Application number : 2000-340272

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 08.11.2000

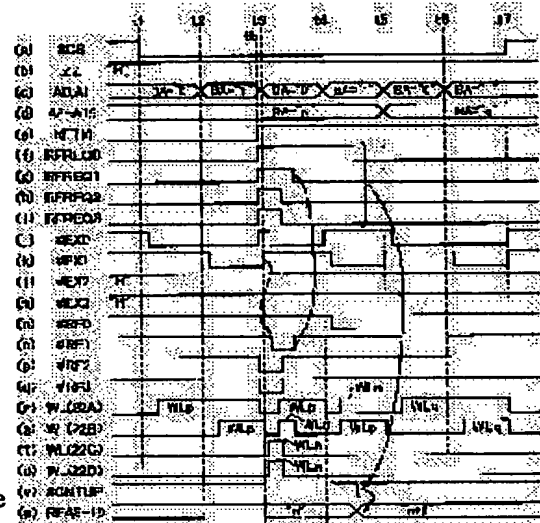
(72)Inventor : MIZUGAKI KOICHI
OTSUKA EITARO

(54) ACTIVATION OF WORD LINE IN SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology capable of reducing current consumption due to the activation of a word line in a semiconductor memory device.

SOLUTION: The semiconductor memory device is provided with a word line activation control part for controlling the activation of the word line. When an operation cycle using addresses including the same row address is continued, the control part holds the activated state until the row address is changed without non-activating the once activated word line. If refreshment is required when a word line in a certain block is in an activated state, the word line can be non-activated under a condition that an external access is not executed in the block. When an external access is required to the block within a prescribed period after the refreshment requirement, the execution of refreshment in the block is delayed and the word line for executing the external access is activated.



LEGAL STATUS

[Date of request for examination]

16.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-150769
(P2002-150769A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 1 1 C 11/403		G 1 1 C 11/34	3 7 1 J 5 B 0 2 4
11/407			3 5 4 D
11/406			3 6 3 K

審査請求 有 請求項の数 5 O L (全 25 頁)

(21) 出願番号 特願2000-340272(P2000-340272)

(22) 出願日 平成12年11月8日 (2000.11.8)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 水垣 浩一

長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 大塚 栄太郎

長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100096817

弁理士 五十嵐 孝雄 (外3名)

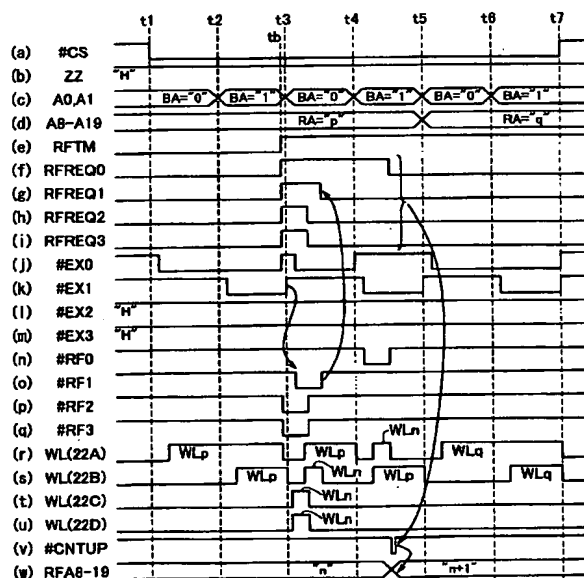
Fターム(参考) 5B024 AA01 BA13 BA20 BA21 CA16
DA08 DA18

(54) 【発明の名称】 半導体メモリ装置内のワード線の活性化

(57) 【要約】

【課題】 半導体メモリ装置内のワード線の活性化に伴う消費電流を低減することのできる技術を提供する。

【解決手段】 半導体メモリ装置は、ワード線の活性化を制御するためのワード線活性化制御部を備える。この制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、一旦活性化されたワード線を非活性化することなく行アドレスが変化するまで活性化した状態で保持する。そして、あるブロック内のワード線が活性化状態となっているときにリフレッシュが要求された場合には、そのブロックにおいて外部アクセスが実行されていないことを条件に、ワード線を非活性化させることができる。さらに、リフレッシュが要求された後の所定期間内に、そのブロックに対して外部アクセスが要求された場合には、そのブロックにおけるリフレッシュの実行を延期して、外部アクセスを実行するためのワード線を活性化させる。



【特許請求の範囲】

【請求項 1】 半導体メモリ装置であって、ダイナミック型のメモリセルがマトリクス状に配列された複数のメモリセルブロックと、前記複数のメモリセルブロックのうちの任意の 1 つのメモリセルブロックを選択するためのブロックアドレスと、選択されたメモリセルブロック内の複数本のワード線のうちの 1 本を選択するための行アドレスと、を含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、前記ワード線の活性化を制御するためのワード線活性化制御部と、を備え、前記ワード線活性化制御部は、前記行アドレスに変化があるか否かを検出するための行アドレス遷移検出部を備えており、前記ワード線活性化制御部は、(a) 前記メモリセルに対し、データの読み出しまたは書き込みが可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が前記行アドレス遷移検出部によって検出されない第 1 の場合には、前記連続するサイクルのうちの最初のサイクルにおいて活性化された第 1 のメモリセルブロック内のワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、(b) 前記第 1 のメモリセルブロック内のワード線が活性化状態となっており、前記第 1 のメモリセルブロックに対してリフレッシュが要求された第 2 の場合には、前記第 1 のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第 1 のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能であり、(c) 前記第 1 のメモリセルブロックに対してリフレッシュが要求された後の所定期間内に、前記第 1 のメモリセルブロックに対してデータの読み出しまたは書き込みが要求された第 3 の場合には、前記第 1 のメモリセルブロックにおけるリフレッシュの実行を延期して、前記第 1 のメモリセルブロック内においてデータの読み出しまたは書き込みを実行するためのワード線を活性化させることを特徴とする半導体メモリ装置。

【請求項 2】 請求項 1 記載の半導体メモリ装置であって、前記アドレス入力部には、前記行アドレスとともに列アドレスも同時に入力され、前記行アドレスは、複数ビットで構成される前記アドレスのうちの上位にある複数のビットに割り当てられている、半導体メモリ装置。

【請求項 3】 請求項 1 または 2 記載の半導体メモリ装置であって、前記第 1 のメモリセルブロックに対してリフレッシュが要求された後の所定期間は、前記第 1 のメモリセルブロックにおけるプリチャージに必要な期間とほぼ等しい、半導体メモリ装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の半導体メモリ装置であって、前記ワード線活性化制御部は、

- 10 前記第 1 の場合には、
前記最初のサイクルにおいて活性化された第 1 のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であるとともに、
さらに、前記最初のサイクルより後で前記最終のサイクル以前の任意のサイクルにおいて、前記第 1 のメモリセルブロックとは異なる任意の第 2 のメモリセルブロック内のメモリセルに対し、データの読み出しまたは書き込みを実行した場合には、
- 20 前記任意のサイクルにおいて活性化された前記第 2 のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であり、
前記第 2 の場合であって、前記第 1 のメモリセルブロックに対してリフレッシュが要求されるとともに、前記第 2 のメモリセルブロックに対してリフレッシュが要求される場合には、
前記第 2 のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第 2 のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能である、半導体メモリ装置。
- 30

- 【請求項 5】 ダイナミック型のメモリセルがマトリクス状に配列された複数のメモリセルブロックと、前記複数のメモリセルブロックのうちの任意の 1 つのメモリセルブロックを選択するためのブロックアドレスと、選択されたメモリセルブロック内の複数本のワード線のうちの 1 本を選択するための行アドレスと、を含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、を備える半導体メモリ装置において、前記ワード線の活性化を制御するための方法であって、(a) 前記メモリセルに対し、データの読み出しまたは書き込みが可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が検出されない第 1 の場合には、
前記連続するサイクルのうちの最初のサイクルにおいて活性化された第 1 のメモリセルブロック内のワード線を、非活性化することなく前記連続するサイクルのうち
- 40
- 50

の最終のサイクルまで活性化した状態で保持することが可能であり、(b) 前記第1のメモリセルブロック内のワード線が活性化状態となっているときに、前記第1のメモリセルブロックに対してリフレッシュが要求された第2の場合には、

前記第1のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第1のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能であり、(c) 前記第1のメモリセルブロックに対してリフレッシュが要求された後の所定期間内に、前記第1のメモリセルブロックに対してデータの読み出しまたは書き込みが要求された第3の場合には、

前記第1のメモリセルブロックにおけるリフレッシュの実行を延期して、前記第1のメモリセルブロック内においてデータの読み出しまたは書き込みを実行するためのワード線を活性化させることを特徴とするワード線の活性化制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体メモリ装置内のワード線の活性化制御に関する。

【0002】

【従来の技術】半導体メモリ装置としては、DRAMやSRAMが用いられている。良く知られているように、DRAMはSRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMはリフレッシュ動作は不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

【0003】DRAMとSRAMの利点を両方備えた半導体メモリ装置として、擬似SRAM(VSRAMあるいはPSRAMと呼ばれる)が知られている。擬似SRAMは、DRAMと同じダイナミック型メモリセルを含むメモリセルアレイを備えているとともに、リフレッシュ制御部を内蔵しており、リフレッシュ動作を内部で実行している。このため、擬似SRAMに接続される外部装置(例えばCPU)は、リフレッシュ動作を意識せずに擬似SRAMにアクセス(データの読み出しや書き込み)することが可能である。このような擬似SRAMの特徴は、「リフレッシュの透過性」と呼ばれる。

【0004】

【発明が解決しようとする課題】ところで、擬似SRAMにおいてアクセスが実行されるサイクルでは、サイクル毎に、アドレスによって選択されるワード線が活性化および非活性化されている。しかしながら、連続するサイクルで同一のワード線が活性化される場合などに、サイクル毎にワード線の活性化および非活性化を繰り返すと、電流が無駄に消費されるという問題があった。なお、これは、擬似SRAMに限らず、サイクル毎にワード線の活性化および非活性化を繰り返す半導体メモリ装

置に共通する問題である。

【0005】この発明は、上述した従来の課題を解決するためになされたものであり、半導体メモリ装置内のワード線の活性化に伴う消費電流を低減することのできる技術を提供することを目的とする。

【0006】

【課題を解決するための手段およびその作用・効果】上記目的を達成するために、本発明の装置は、半導体メモリ装置であって、ダイナミック型のメモリセルがマトリクス状に配列された複数のメモリセルブロックと、前記複数のメモリセルブロックのうちの任意の1つのメモリセルブロックを選択するためのブロックアドレスと、選択されたメモリセルブロック内の複数本のワード線のうちの1本を選択するための行アドレスと、を含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、前記ワード線の活性化を制御するためのワード線活性化制御部と、を備え、前記ワード線活性化制御部は、前記行アドレスに変化があるか否かを検出するための行アドレス遷移検出部を備えており、前記ワード線活性化制御部は、(a) 前記メモリセルに対し、データの読み出しまたは書き込みが可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が前記行アドレス遷移検出部によって検出されない第1の場合には、前記連続するサイクルのうちの最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、(b) 前記第1のメモリセルブロック内のワード線が活性化状態となっているときに、前記第1のメモリセルブロックに対してリフレッシュが要求された第2の場合には、前記第1のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第1のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能であり、(c) 前記第1のメモリセルブロックに対してリフレッシュが要求された後の所定期間内に、前記第1のメモリセルブロックに対してデータの読み出しまたは書き込みが要求された第3の場合には、前記第1のメモリセルブロックにおけるリフレッシュの実行を延期して、前記第1のメモリセルブロック内においてデータの読み出しまたは書き込みを実行するためのワード線を活性化させることを特徴とする。

【0007】この半導体メモリ装置では、ワード線活性化制御部が備えられており、ワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるサイクルが連続する場合には、最初のサイクルで活性化されたワード線を、同じ行アドレスが用いられる最終のサイクルまで活性化した状態で保持することができる。そして、ワード

線活性化制御部は、リフレッシュが要求されたときには、活性化状態のワード線を最終のサイクルの終了を待たずに非活性化させることができる。

【0008】このようなワード線活性化制御部を用いれば、半導体メモリ装置においてリフレッシュを実行することができ、また、リフレッシュが実行されない期間では、サイクル毎にワード線の活性化および非活性化を繰り返す必要がないため、ワード線の活性化に伴う消費電流を低減することが可能となる。

【0009】なお、この装置を用いる効果は、最初のサイクルから最終のサイクルまでの複数のサイクルのうち、2以上のサイクルにおいて、活性化されたワード線上のメモリセルに対してデータの読み出しや書き込みが行われる場合に、顕著となる。

【0010】また、リフレッシュが要求された後の所定期間内に、データの読み出しまたは書き込みが要求された場合には、リフレッシュの実行を延期して、データの読み出しまたは書き込みを実行するためのワード線を活性化させることができるので、データの読み出しまたは書き込みを優先して実行することが可能となる。

【0011】上記の装置において、前記アドレス入力部には、前記行アドレスとともに列アドレスも同時に入力され、前記行アドレスは、複数ビットで構成される前記アドレスのうちの上位にある複数のビットに割り当てられていることが好ましい。

【0012】このように、行アドレスを上位にある複数のビットに割り当てれば、行アドレスが比較的变化しにくくなるので、ワード線が活性化した状態で保持される頻度を高めることができ、この結果、ワード線の活性化に伴う消費電流を低減することが可能となる。

【0013】上記の装置において、前記第1のメモリセルブロックに対してリフレッシュが要求された後の所定期間は、前記第1のメモリセルブロックにおけるプリチャージに必要な期間とほぼ等しいことが好ましい。

【0014】こうすれば、データの読み出しまたは書き込みが要求されるサイクルの直前のサイクル期間中にプリチャージを実行することができるので、1つのサイクル期間を比較的短く設定することが可能となる。

【0015】上記の装置において、前記ワード線活性化制御部は、前記第1の場合には、前記最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であるとともに、さらに、前記最初のサイクルより後で前記最終のサイクル以前の任意のサイクルにおいて、前記第1のメモリセルブロックとは異なる任意の第2のメモリセルブロック内のメモリセルに対し、データの読み出しまたは書き込みを実行した場合には、前記任意のサイクルにおいて活性化された前記第2のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活

化した状態で保持することが可能であり、前記第2の場合であって、前記第1のメモリセルブロックに対してリフレッシュが要求されるとともに、前記第2のメモリセルブロックに対してリフレッシュが要求される場合には、前記第2のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第2のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能であるようにしてもよい。

【0016】なお、最初のサイクルより後で最終のサイクル以前の任意のサイクルは、最終のサイクルと異なるサイクルであってもよいし、最終のサイクルであってもよい。

【0017】このようなワード線活性化制御部を用いれば、2以上のメモリセルブロックの中のワード線を同時に活性化した状態で保持することができる。したがって、リフレッシュが実行されない期間では、活性化されたワード線上のメモリセルに対して、データの読み出しや書き込みが行われる頻度を高めることができ、この結果、ワード線の活性化に伴う消費電流をかなり低減することが可能となる。そして、リフレッシュが要求されたときには、活性化状態のワード線を最終のサイクルの終了を待たずに非活性化させてリフレッシュを実行することができる。

【0018】また、本発明の方法は、ダイナミック型のメモリセルがマトリクス状に配列された複数のメモリセルブロックと、前記複数のメモリセルブロックのうちの任意の1つのメモリセルブロックを選択するためのブロックアドレスと、選択されたメモリセルブロック内の複数のワード線のうちの1本を選択するための行アドレスと、を含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、を備える半導体メモリ装置において、前記ワード線の活性化を制御するための方法であって、(a) 前記メモリセルに対し、データの読み出しまたは書き込みが可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が検出されない第1の場合には、前記連続するサイクルのうちの最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、(b) 前記第1のメモリセルブロック内のワード線が活性化状態となっているときに、前記第1のメモリセルブロックに対してリフレッシュが要求された第2の場合には、前記第1のメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されていないことを条件に、前記第1のメモリセルブロック内の活性化状態のワード線を非活性化させることが可能であり、(c)

前記第1のメモリセルブロックに対してリフレッシュが要求された後の所定期間内に、前記第1のメモリセルブロックに対してデータの読み出しまたは書き込みが要求された第3の場合には、前記第1のメモリセルブロックにおけるリフレッシュの実行を延期して、前記第1のメモリセルブロック内においてデータの読み出しまたは書き込みを実行するためのワード線を活性化させることを特徴とする。

【0019】この方法を用いる場合にも、本発明の装置を用いる場合と同様の作用・効果を奏する。

【0020】なお、本発明は、種々の形態で実現することが可能であり、例えば、半導体メモリ装置、そのワード線の活性化制御方法、半導体メモリ装置と制御装置とを備えた半導体メモリシステム、半導体メモリ装置の制御方法、および、半導体メモリ装置を備えた電子機器等の形態で実現することができる。

【0021】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. メモリチップの端子構成と動作状態の概要：

B. メモリチップ内部の全体構成：

C. ワード線活性化制御部の内部構成：

D. ワード線活性化制御部の動作：

D1. オペレーションサイクルにおける動作（リフレッシュ要求が無い場合）：

D2. オペレーションサイクルにおける動作（リフレッシュ要求がある場合）：

D3. スタンバイサイクルおよびスヌーズ状態における動作：

E. 電子機器への適用例：

【0022】A. メモリチップの端子構成と動作状態の概要：図1は、本発明の実施例としてのメモリチップ300の端子の構成を示す説明図である。メモリチップ300は、以下のような端子を有している。

【0023】A0～A19：アドレス入力端子（20本）、

#CS：チップセレクト入力端子、

ZZ：スヌーズ入力端子、

#WE：ライトイネーブル入力端子、

#OE：アウトプットイネーブル入力端子、

#LB：下位バイトイネーブル入力端子、

#UB：上位バイトイネーブル入力端子、

I00～I015：入出力データ端子（16本）。

【0024】なお、以下の説明では、端子名と信号名と同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子A0～A19と入出力データ端子I00～I015はそれぞれ複数本設けられているが、図1では簡略化されて描かれている。

【0025】このメモリチップ300は、通常の非同期

型SRAMと同じ手順でアクセスすることが可能な擬似SRAM（VSRAM）として構成されている。ただし、SRAMと異なり、ダイナミック型のメモリセルが用いられているので、所定期間内にリフレッシュが必要となる。このため、メモリチップ300には、リフレッシュタイマ70を含むリフレッシュ制御部が内蔵されている。本明細書では、外部装置（制御装置）からのデータの読み出しや書き込みの動作を「外部アクセス」と呼び、内蔵されたリフレッシュ制御部によるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ。

【0026】図1に示すチップセレクト信号#CSとスヌーズ信号ZZは、メモリチップ300の動作状態を制御するための信号である。図2は、チップセレクト信号#CSとスヌーズ信号ZZの信号レベルに応じたメモリチップ300の動作状態の区分を示す説明図である。なお、本明細書において、「Hレベル」は2値信号の2つのレベルのうちの「1」レベルを意味し、「Lレベル」は「0」レベルを意味している。

【0027】チップセレクト信号#CSがLレベル（アクティブ）でスヌーズ信号ZZがHレベルのときは、リード/ライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード/ライトサイクル」と呼ぶ）が行われる。オペレーションサイクルでは、外部アクセスの実行が可能であり、適時、内部リフレッシュが実行される。

【0028】チップセレクト信号#CSとスヌーズ信号ZZが共にHレベルのときには、スタンバイサイクルが行われる。スタンバイサイクルでは、外部アクセスの実行が禁止されるため、すべてのワード線が非活性状態とされる。但し、内部リフレッシュが行われるときには、リフレッシュアドレスで指定されたワード線は活性化される。

【0029】チップセレクト信号#CSがHレベル（非アクティブ）のときにスヌーズ信号ZZがLレベルになると、メモリチップ300はスヌーズ状態（「パワダウン状態」とも呼ぶ）に移行する。スヌーズ状態では、リフレッシュ動作に必要な回路以外は停止している。スヌーズ状態での消費電力は極めて少ないので、メモリ内のデータのバックアップに適している。

【0030】なお、リフレッシュ動作は、オペレーションサイクルでは第1のリフレッシュモードに従って実行され、スタンバイサイクルとスヌーズ状態では第2のリフレッシュモードに従って実行される。第1のリフレッシュモードでは、リフレッシュタイマ70がリフレッシュタイミング信号を発生した後に、外部アクセスの実施状況に応じてリフレッシュが実施される。一方、第2のリフレッシュモードでは、外部アクセスは実施されていないので、リフレッシュタイマ70がリフレッシュタイミング信号を発生すると直ちにリフレッシュが実施され

る。このように、このメモリチップ300は、3つの動作状態にそれぞれ適したリフレッシュモードに従ってリフレッシュを実施する。これらの2つのモードにおけるリフレッシュ動作の詳細については後述する。

【0031】図1に示すアドレスA0～A19は、20ビットであり、1メガワードのアドレスを指定する。また、入出力データIO0～IO15は、1ワード分の16ビットのデータである。すなわち、アドレスA0～A19の1つの値は16ビット（1ワード）に対応しており、一度に16ビットの入出力データIO0～IO15

10 入出力することができる。
【0032】オペレーションサイクルにおいては、ライトイネーブル信号#WEがLレベルになるとライトサイクルが実行され、Hレベルになるとリードサイクルが実行される。また、アウトプットイネーブル信号#OEがLレベルになると、入出力データ端子IO0～IO15からの出力が可能になる。下位バイトイネーブル信号#LBや上位バイトイネーブル入力信号#UBは、1ワード（16ビット）の下位バイトと上位バイトとのうちのいずれか1バイトのみに関して読み出しや書き込みを行うための制御信号である。例えば、下位バイトイネーブル信号#LBをLレベルに設定し、上位バイトイネーブル信号#UBをHレベルに設定すると、1ワードの下位8ビットのみに関して読み出しや書き込みが行われる。なお、図1では、電源端子は省略されている。

【0033】図3は、メモリチップ300の動作の概要を示すタイミングチャートである。図2に示した3つの動作状態（オペレーション、スタンバイ、スヌーズ）のいずれであるかは、チップセレクト信号#CSとスヌーズ信号ZZの変化に応じて、随時判断される。図3の最初の3つのサイクルは、オペレーションサイクルである。オペレーションサイクルでは、ライトイネーブル信号#WEのレベルに応じて読み出し（リードサイクル）と書き込み（ライトサイクル）のいずれかが実行される。なお、アドレスA0～A19の変化の最短周期Tcyは、このメモリチップ300のサイクルタイム（「サイクル周期」とも呼ばれる）に相当する。サイクルタイムTcyは、例えば約50nsから約100nsの範囲の値に設定される。

【0034】図3の4番目のサイクルでは、チップセレクト信号#CSがHレベルに立ち上がっているため、スタンバイサイクルが開始される。5番目のサイクルでは、さらに、スヌーズ信号ZZがLレベルに下がっているため、メモリチップ300はスヌーズ状態となる。

【0035】B. メモリチップ内部の全体構成：図4は、メモリチップ300の内部構成を示すブロック図である。このメモリチップ300は、データ入出力バッファ10と、メモリセルアレイ20と、アドレスバッファ60とを備えている。

【0036】メモリセルアレイ20は、4つのブロック

20A～20Dに区分されている。第1のブロック20Aは、メモリセルサブアレイ22Aと、行デコーダ24Aと、列デコーダ26Aと、ゲート28Aとを備えている。他のブロック20B～20Dも同様である。各ブロック20A～20Dの構成はほぼ同じなので、以下では主に第1のブロック20Aと、これに関連する他の回路について説明する。

【0037】1つのブロック20Aの構成は、典型的なDRAMのメモリセルアレイと同じである。すなわち、サブアレイ22Aは、1トランジスタ1キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、ワード線とビット線対（データ線対とも呼ばれる）とが接続されている。行デコーダ24Aは、行ドライバを含んでおり、供給される行アドレスに従ってサブアレイ22A内の複数本のワード線のうちの1本を選択して活性化する。列デコーダ26Aは、列ドライバを含んでおり、供給される列アドレスに従ってサブアレイ22A内の複数組のビット線対の中の1ワード（16ビット）分のビット線対を同時に選択する。また、ゲート28Aは、読み出し回路や書き込み回路を含んでおり、データ入出力バッファ10とサブアレイ22Aと間のデータのやり取りを可能とする。なお、ブロック20A内には、図示しないプリチャージ回路やセンスアンプなども設けられている。

【0038】アドレスバッファ60は、外部装置から与えられた20ビットのアドレスA0～A19を他の内部回路に供給する回路である。最も下位の2ビットのアドレスA0～A1は、4つのブロック20A～20Dのうちのいずれか1つを選択するためのブロックアドレスとして用いられる。また、ブロックアドレスA0～A1よりも上位の18ビットのアドレスは、行アドレスおよび列アドレスとして用いられる。本実施例では、ブロックアドレスA0～A1より上位の6ビットのアドレスA2～A7は列アドレスとして用いられ、最も上位の12ビットのアドレスA8～A19は行アドレスとして用いられる。従って、ブロックアドレスA0～A1によって4つのブロック20A～20Dのうちの1つが選択され、選択されたブロックの中から、列アドレスA2～A7と行アドレスA8～A19とによって1ワード（16ビット）分のメモリセルが選択される。選択されたメモリセルに対応する1ワード分のデータは、データ入出力バッファ10を介して読み出され、あるいは書き込まれる。すなわち、外部装置は、1つのアドレスA0～A19を入力することにより、1つのブロック内の1ワード分のメモリセルに同時にアクセスすることが可能である。

【0039】各ブロック20A～20Dには、それぞれ、行プリデコーダ30A～30Dと、ブロックコンローラ40A～40Dと、リフレッシュ要求信号発生回路50A～50Dとがこの順に接続されている。メモリチップ300内には、さらに、リフレッシュタイマ70

と、リフレッシュカウンタコントローラ 90 と、リフレッシュカウンタ 100 と、行アドレス遷移検出回路（以下、「RATD 回路」とも呼ぶ）130 とが設けられている。

【0040】図 4 のリフレッシュタイマ 70 は、一定のリフレッシュ周期毎にリフレッシュタイミング信号 RFTM を発生する回路である。リフレッシュタイマ 70 は、例えばリングオシレータによって構成される。リフレッシュ周期は、例えば約 32 μ s に設定されている。

【0041】リフレッシュ要求信号発生回路 50A~50D は、リフレッシュタイマ 70 から供給されるリフレッシュタイミング信号 RFTM に応じて、各ブロック 20A~20D のためのリフレッシュ要求信号 RFREQ0~RFREQ3 を発生する。このリフレッシュ要求信号 RFREQ0~RFREQ3 は、対応するブロックコントローラ 40A~40D にそれぞれ供給される。

【0042】ブロックコントローラ 40A~40D には、リフレッシュ要求信号 RFREQ0~RFREQ3 とともに、外部装置から与えられたブロックアドレス A0~A1 が供給されている。リフレッシュ要求信号 RFREQ0~RFREQ3 は、4 つのブロック 20A~20D においてリフレッシュ動作を開始すべきことを意味している。また、オペレーションサイクルでは、ブロックアドレス A0~A1 は、4 つのブロック 20A~20D のいずれに外部アクセスが要求されているかを示している。そこで、ブロックコントローラ 40A~40D は、これらの信号 RFREQ0~RFREQ3、A0~A1 に応じて、4 つのブロックに対する外部アクセスと内部リフレッシュとを調停する。この調停は、具体的には、外部アクセス実施信号 #EX0~#EX3 とリフレッシュ実施信号 #RF0~#RF3 との出力レベルをそれぞれ設定することによって行われる。

【0043】行プリデコーダ 30A~30D は、外部アクセス実施信号 #EX0~#EX3 とリフレッシュ実施信号 #RF0~#RF3 のレベルに応じて、外部装置から与えられた行アドレス A8~A19 と、リフレッシュカウンタ 100 から与えられたリフレッシュアドレス RFA8~RFA19 とのうちの一方を選択して、行デコーダ 24A~24D に供給する。なお、この 2 種類のアドレス A8~A19、RFA8~RFA19 の選択は、行プリデコーダ毎に独立に行われる。

【0044】なお、リフレッシュ要求信号発生回路 50A~50D と、ブロックコントローラ 40A~40D と、行プリデコーダ 30A~30D の構成および動作については、さらに後述する。

【0045】リフレッシュカウンタコントローラ 90 は、4 つのブロック 20A~20D のすべてにおいて、同一のリフレッシュアドレス RFA8~RFA19 に従ってリフレッシュ動作が完了したか否かを検出する。この検出は、後述するように、4 つのリフレッシュ要求信

号 RFREQ0~RFREQ3 のレベル変化を調べることによって行われる。4 つのブロック 20A~20D におけるリフレッシュ動作が完了すると、リフレッシュカウンタコントローラ 90 は、リフレッシュカウンタ 100 にカウントアップ信号 #CNTUP を供給する。リフレッシュカウンタ 100 は、このカウントアップ信号 #CNTUP に応じてリフレッシュアドレス RFA8~RFA19 の値を 1 つカウントアップする。

【0046】メモリチップ 300 は、図 4 に示す回路の他に、チップセレクト信号 #CS やスヌーズ信号 #ZZ に従ってチップ内の回路の動作状態を制御するコントローラや、各種のイネーブル信号 #WE、#OE、#LB、#UB に応じて入出力状態を制御するコントローラなどを有しているが、図 4 では、図示の便宜上省略されている。

【0047】なお、図 4 のデータ入出力バッファ 10 とアドレスバッファ 60 とは、それぞれ本発明におけるデータ入出力部とアドレス入力部に相当する。また、図 4 において、データ入出力バッファ 10 とアドレスバッファ 60 とメモリセルアレイ 20 とを除く回路部分（30A~30D、40A~40D、50A~50D、70、90、100、130）は、メモリセルアレイ 20 内のワード線の活性化を制御しており、本発明のワード線活性化制御部に相当する。

【0048】なお、ワード線活性化制御部は、メモリセルアレイ 20 のリフレッシュ動作を制御するリフレッシュ制御部としての機能も有している。特に、行プリデコーダ 30A~30D と、ブロックコントローラ 40A~40D と、リフレッシュ要求信号発生回路 50A~50D とで構成される回路部分は、内部リフレッシュと外部アクセスとの調停を行う調停回路としての機能を有している。

【0049】C. ワード線活性化制御部の内部構成：図 5 は、図 4 の第 1 のブロックコントローラ 40A の内部構成を示すブロック図である。なお、他のブロックコントローラ 40B~40D も図 5 とほぼ同じ構成を有している。

【0050】ブロックコントローラ 40A は、外部アクセス実施信号 #EX0 を発生させる外部アクセス実施信号発生回路 42 と、リフレッシュ実施信号 #RF0 を発生させるリフレッシュ実施信号発生回路 44 と、リフレッシュ実施信号 #RF0 に応じてリセット信号 RSTO を発生させるリセット信号発生回路 46 とを備えている。外部アクセス実施信号発生回路 42 およびリフレッシュ実施信号発生回路 44 には、それぞれ、チップセレクト信号 #CS と、ブロックアドレス A0~A1 と、リフレッシュ要求信号発生回路 50A からのリフレッシュ要求信号 RFREQ0 とが供給されている。また、外部アクセス実施信号発生回路 42 にはリフレッシュ実施信号 #RF0 が供給されており、リフレッシュ実施信号発

生回路 44 には外部アクセス実施信号 #EX0 が供給されている。さらに、外部アクセス実施信号発生回路 42 には、行アドレス遷移検出回路 (RATD 回路) 130 から行アドレス遷移信号 RAT (以下、「RAT 信号」と呼ぶ) が供給されている。

【0051】行アドレス遷移検出回路 (RATD 回路) 130 は、外部装置から供給された 12 ビットの行アドレス A8~A19 の中のいずれか 1 ビット以上に変化があるかを検出し、変化が検出されたときには、RAT 信号を出力する回路である。

【0052】図 6 は、図 5 の RATD 回路 130 の内部構成を示すブロック図である。RATD 回路 130 は、12 ビットのアドレス A8~A19 の各ビットに対応した 12 個の遷移検出回路 131 と、12 入力 OR ゲート 138 とを備えている。各遷移検出回路 131 は、インバータ 132 と、2 つのパルス発生回路 133、134 と、OR ゲート 135 とを有している。パルス発生回路 133、134 としては、例えばワンショットマルチバイブレータが使用される。

【0053】第 1 のパルス発生回路 133 は、アドレスビット A8 の立ち上がりエッジに応じて、所定のパルス幅を有するパルスを 1 つ生成する。また、インバータ 132 と第 2 のパルス発生回路 134 は、アドレスビット A8 の立ち下がりエッジに応じて、所定のパルス幅を有するパルスを 1 つ生成する。したがって、OR ゲート 135 からは、アドレスビット A8 の立ち上がりエッジと立ち下がりエッジの各エッジ毎に、パルスが 1 つずつ出力される。これは、他のアドレスビット A9~A19 についても同様である。

【0054】12 入力 OR ゲート 138 には、12 個の遷移検出回路 131 の出力が入力されている。従って、12 ビットの行アドレス A8~A19 の中の 1 つ以上のビットのレベルが変化すると、OR ゲート 138 からパルス状の RAT 信号が出力される。なお、図 4 に示すように、この RAT 信号は、4 つのブロックコントローラ 40A~40D にそれぞれ供給されている。

【0055】図 5 のリフレッシュ要求信号発生回路 50A には、リフレッシュタイミング信号 RFTM が入力されている。リフレッシュ要求信号発生回路 50A は、リフレッシュタイミング信号 RFTM の立ち上がりエッジに応じて直ちにリフレッシュ要求信号 RFREQ0 を H レベルに立ち上げる。また、リフレッシュ要求信号発生回路 50A には、リセット信号発生回路 46 からリセット信号 RST0 が供給されており、リセット信号 RST0 に応じてリフレッシュ要求信号 RFREQ0 を L レベルに戻す。これにより、ブロック 20A に対するリフレッシュ要求が解除される。

【0056】図 7 は、図 5 の外部アクセス実施信号発生回路 42 の内部構成を示すブロック図である。外部アクセス実施信号発生回路 42 は、RS ラッチ 410 および

インバータ 411 と、セット信号生成回路 420 と、リセット信号生成回路 430 とを備えている。セット信号生成回路 420 からの出力信号 Q420 は RS ラッチ 410 のセット端子 S に入力され、リセット信号生成回路 430 からの出力信号 Q430 は RS ラッチ 410 のリセット端子 R に入力される。

【0057】セット信号生成回路 420 は、インバータ 421 とデコーダ 422 と遅延回路 425 とパルス発生回路 429 と 3 つの AND ゲート 423、426、428 とを備えている。

【0058】第 1 の AND ゲート 423 には、インバータ 421 によって反転されたチップセレクト信号 #CS と、デコーダ 422 の出力信号とが与えられている。第 1 の AND ゲート 423 は、チップセレクト信号 #CS が L レベル (アクティブ) となり、かつ、ブロックアドレス A0~A1 の値がブロック 20A を示す "0" となった場合に、H レベルの BNK 信号を出力する。H レベルの BNK 信号は、第 1 のブロック 20A に対して外部アクセスが要求されていることを意味している。

【0059】第 2 の AND ゲート 426 には、リフレッシュ実施信号 #RF0 と、遅延回路 425 を介したリフレッシュ実施信号 #RF0 とが与えられている。第 2 の AND ゲート 426 は、リフレッシュ実施信号 #RF0 の L レベル (アクティブ) 期間を所定の遅延期間 Td2 (後述する) だけ延長した L レベル期間を有する RFC 信号を出力する。

【0060】第 3 の AND ゲート 428 には、BNK 信号と RFC 信号とが与えられており、第 3 の AND ゲート 428 は、RFC 信号が L レベルとなる期間で、BNK 信号の出力を制限する。そして、第 3 の AND ゲート 428 の出力は、パルス発生回路 429 に与えられる。

【0061】セット信号生成回路 420 は、第 1 のブロックコントローラ 40A に関連する第 1 のブロック 20A に対して外部アクセスが要求されているかを判断し、外部アクセス要求がある場合には、RS ラッチ 410 のセット端子 S にパルス信号 Q420 を供給する。ただし、セット信号生成回路 420 は、外部アクセスが要求されている場合でも、リフレッシュの実施に伴う期間 (すなわち、リフレッシュ実施信号 #RF0 がアクティブ (L レベル) となる期間およびその後の所定期間 Td2) には、RS ラッチ 410 のセット端子 S にパルス信号 Q420 を供給しない。RS ラッチ 410 およびインバータ 411 は、パルス信号 Q420 に従って外部アクセス実施信号 #EX0 をアクティブ (L レベル) に設定する。なお、外部アクセス実施信号 #EX0 がアクティブ (L レベル) になると、ブロック 20A (図 4) 内の行アドレス A8~A19 によって選択されたワード線が活性化され、外部アクセスが実施される。

【0062】リセット信号生成回路 430 は、インバータ 431 と AND ゲート 432 と 3 入力 OR ゲート 43

6と2つのパルス発生回路434、438とを備えている。ANDゲート432には、インバータ431によって反転されたBNK信号とリフレッシュ要求信号RFREQ0とが供給されている。第1のパルス発生回路434は、チップセレクト信号#CSの立ち上がりエッジに伴いパルスを発生させる回路である。3入力ORゲート436には、ANDゲート432の出力信号と、RAT信号と、第1のパルス発生回路434からの出力信号とが入力されている。そして、ORゲート436の出力は、第2のパルス発生回路438に与えられる。

【0063】リセット信号生成回路430は、次の3つの場合に、RSラッチ410のリセット端子Rにパルス信号Q430を供給する。(1)第1のブロック20Aに対する外部アクセスの要求が無く、かつ、リフレッシュ要求があるとき。(2)行アドレスA8~A19が変化したとき。(3)チップセレクト信号#CSがHレベル(非アクティブ)に立ち上がったとき。RSラッチ410およびインバータ411は、パルス信号Q430に従って外部アクセス実施信号#EX0を非アクティブ(Hレベル)に設定する。

【0064】図8は、図5のリフレッシュ実施信号発生回路44の内部構成を示すブロック図である。リフレッシュ実施信号発生回路44は、ANDゲート510と、パルス発生回路511と、インバータ512と、リフレッシュ要求信号RFREQ0の出力を制御するためのリフレッシュ要求信号制御回路520とを備えている。

【0065】ANDゲート510には、リフレッシュ要求信号RFREQ0と制御回路520からの制御信号Q520とが供給されている。ANDゲート510は、制御信号Q520がHレベルとなる場合にリフレッシュ要求信号RFREQ0をパルス発生回路511に伝えることができる。パルス発生回路511は、ANDゲート510からの出力信号の立ち上がりエッジに従って所定のパルス幅を有するパルスを生成する。生成されたパルスは、インバータ512によって反転され、リフレッシュ実施信号#RF0として出力される。

【0066】制御回路520は、インバータ521とデコーダ522とANDゲート523と遅延回路525とNANDゲート526とNORゲート528とを備えている。ANDゲート523は、図7の第1のANDゲート423と同じく、BNK信号を出力する。NANDゲート526は、図7の第2のANDゲート426と同様にして、外部アクセス実施信号#EX0のLレベル(アクティブ)期間を所定の遅延期間Td1(後述する)だけ延長したHレベル期間を有するACT信号を出力する。そして、BNK信号とACT信号とは、NORゲート528に与えられる。

【0067】制御回路520は、第1のブロックコントローラ40Aに関連する第1のブロック20Aに対して外部アクセスが要求されているか否かを判断し、外部ア

クセス要求が無い場合には、ANDゲート510にHレベルの制御信号Q520を供給する。このとき、リフレッシュ要求があればリフレッシュ実施信号#RF0はアクティブ(Lレベル)に設定され、リフレッシュ要求が無ければ非アクティブ(Hレベル)に設定される。ただし、制御回路520は、上記の外部アクセス要求が無い場合でも、外部アクセス実施信号#EX0がアクティブ(Lレベル)となる期間およびその後の所定期間Td1には、ANDゲート510にLレベルの制御信号Q520を供給し、リフレッシュ実施信号#RF0がLレベル(アクティブ)に設定されるのを阻止する。なお、この場合には、制御信号がHレベルになった後に、リフレッシュ実施信号#RF0がアクティブ(Lレベル)に設定される。

【0068】また、制御回路520は、第1のブロック20Aに対する外部アクセスの要求がある場合には、ANDゲート510にLレベルの制御信号Q520を供給する。この場合には、リフレッシュ要求があっても、リフレッシュ実施信号#RF0は非アクティブ(Hレベル)に設定される。その後、リフレッシュ実施信号#RF0は、ブロック20Aに対する外部アクセスが終了するまで非アクティブ(Hレベル)のまま保持され、外部アクセスが終了した後にアクティブ(Lレベル)に設定される。

【0069】なお、リフレッシュ実施信号#RF0がアクティブ(Lレベル)になると、リフレッシュ動作が開始される。具体的には、ブロック20A(図4)内のリフレッシュアドレスRFA8~RFA19によって選択されたワード線が活性化され、そのワード線上のすべてのメモリセルについてリフレッシュが実施される。

【0070】図5のリセット信号発生回路46は、リフレッシュ実施信号#RF0の立ち上がりエッジに応じて、短パルス状のリセット信号RST0を発生する。このリセット信号発生回路46は、例えばワンショットマルチバイブレータで構成される。前述したように、リセット信号RST0は、リフレッシュ要求信号発生回路50Aに供給され、これにより、ブロック20Aに対するリフレッシュ要求が解除される。

【0071】ブロックコントローラ40A(図5)から出力された外部アクセス実施信号#EX0やリフレッシュ実施信号#RF0は、ブロック20A内の行ブリデコーダ30A(図4)に供給される。

【0072】図9は、図4の第1の行ブリデコーダ30Aの内部構成を示すブロック図である。行ブリデコーダ30Aは、2つのスイッチ&ラッチ回路34、36と、判定回路38とを備えている。なお、他の行ブリデコーダ30B~30Dも図9と同じ構成を有している。

【0073】判定回路38には、ブロックコントローラ40Aから外部アクセス実施信号#EX0とリフレッシュ実施信号#RF0とが供給されている。判定回路38

10

20

30

40

50

は、第1のスイッチ&ラッチ回路34に外部アクセス実施信号#EX0に応じた制御信号LEXを供給し、第2のスイッチ&ラッチ回路36にリフレッシュ実施信号#RF0に応じた制御信号LRFを供給する。

【0074】外部アクセス実施信号#EX0がアクティブ（Lレベル）の場合には、第1のスイッチ&ラッチ回路34は、制御信号LEXに従って、外部装置から供給された行アドレスA8～A19をラッチして第1のブロック20A内の行デコーダ24Aに供給する。また、この場合には、第2のスイッチ&ラッチ回路36は、制御信号LRFに従って、その出力を禁止している。

【0075】一方、リフレッシュ実施信号#RF0がアクティブ（Lレベル）の場合には、第2のスイッチ&ラッチ回路36は、制御信号LRFに従って、リフレッシュカウンタ100（図4）から供給されたリフレッシュアドレスRFA8～RFA19をラッチして行デコーダ24Aに供給する。また、この場合には、第1のスイッチ&ラッチ回路34は、制御信号LEXに従って、その出力を禁止している。

【0076】なお、ブロックコントローラ40A（図5）は、2つの実施信号#EX0、#RF0を同時にアクティブ（Lレベル）にすることが無いように構成されている。2つの実施信号#EX0、#RF0がいずれも非アクティブ（Hレベル）のときには、行プリデコーダ30Aは、行デコーダ24AにアドレスA8～A19、RFA8～RFA19を供給しない。

【0077】このように、行プリデコーダ30Aは、2つの実施信号#EX0、#RF0のレベルに応じて、行アドレスA8～A19とリフレッシュアドレスRFA8～RFA19とのうちの一方を選択して、ブロック20A（図4）内の行デコーダ24Aに供給する。そして、行デコーダ24Aは、行プリデコーダ30Aから行アドレスA8～A19またはリフレッシュアドレスRFA8～RFA19が供給されているときに、各アドレスA8～A19またはRFA8～RFA19に従って選択されるブロック20A内の1本のワード線を活性化状態とする。

【0078】D. ワード線活性化制御部の動作：

D1. オペレーションサイクルにおける動作（リフレッシュ要求が無い場合）：図10は、オペレーションサイクルにおける第1のブロック20Aに関するワード線活性化制御部の動作を示すタイミングチャートである。オペレーションサイクルでは、チップセレクト信号#CS（図10（a））がLレベル（アクティブ）となり、かつ、スヌーズ信号ZZ（図10（b））がHレベルとなる。図10では、各時刻t1～t6から始まるオペレーションサイクルは6つ連続している。

【0079】図10は、オペレーションサイクルにおいて、リフレッシュ要求が無い場合、すなわち、図5のリフレッシュ要求信号発生回路50Aに与えられるリフ

ッシュタイミング信号RFTM（図10（e））に立ち上がりエッジがない発生しない場合を示している。この場合には、第1のブロックコントローラ40Aに与えられるリフレッシュ要求信号RFREQ0（図10

（f））はLレベルのままである。したがって、リフレッシュ実施信号発生回路44から出力されるリフレッシュ実施信号#RF0（図10（m））はHレベル（非アクティブ）のままであり、外部アクセス実施信号発生回路42内で生成されるRFC信号（図10（n））はHレベルのままである。また、リセット信号発生回路46から出力されるリセット信号RST0（図10（o））はLレベルのままである。

【0080】時刻t1、t3、t5から始まる第1、第3、第5のサイクルでは、ブロックアドレスA0～A1（図10（c））の値が”0”となっており、第1のブロック20Aに対する外部アクセスが要求されている。同様に、時刻t2、t4、t6から始まる第2、第4、第6のサイクルでは、ブロックアドレスA0～A1の値が”1”となっており、第2のブロック20Bに対する外部アクセスが要求されている。このとき、第1、第3、第5のサイクルでは、第1のブロックコントローラ40A内で生成されるBNK信号（図10（g））はHレベルに設定される。

【0081】また、第1～第4の連続する4つのサイクルでは、行アドレスA8～A19（図10（d））の値が”p”となっており、第5～第6の連続する2つのサイクルでは、行アドレスA8～A19の値が”q”となっている。

【0082】図10（p）には、第1のブロック20Aのサブアレイ22A（図4）内のワード線WLの状態が示されている。なお、サブアレイ22A内には、複数本のワード線が含まれているが、2本以上のワード線は同時に活性化されない。このため、図10（p）では、サブアレイ22A内で順次活性化されるワード線が同じタイミングチャート上に描かれている。なお、Hレベルに立ち上がっているワード線WLp、WLqは、活性化されたワード線をそれぞれ示している。

【0083】第1のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されているので、図7のセット信号生成回路420は、時刻t1においてパルス信号Q420（図10（h））を出力する。そして、RSラッチ410およびインバータ411は、パルス信号Q420に従って外部アクセス実施信号#EX0（図10（j））をLレベル（アクティブ）に設定する。外部アクセス実施信号#EX0がLレベル（アクティブ）になると、図9の第1の行プリデコーダ30Aは、行アドレスA8～A19を選択して第1の行デコーダ24Aに供給する。したがって、第1のブロック20Aのサブアレイ22A内では、行アドレスA8～A19によって選択された”p”番目のワード線WLpが活性化される。

そして、第1のサイクルでは、活性化されたワード線WL_p上の列アドレスA₂～A₇によって選択されたメモリセルに対して外部アクセスが実施される。

【0084】第2のサイクルでは、第1のブロック20Aに対する外部アクセスは要求されていない。しかしながら、図7のリセット信号生成回路430は、パルス信号Q₄₃₀を出力しない。このため、外部アクセス実施信号#EX0はLレベル（アクティブ）のまま保持される。このとき、サブアレイ22A内では、“p”番目のワード線WL_pが活性化したまま保持される。なお、第2のサイクルでは、第1のブロック20Aに対する外部アクセスは要求されていないので、サブアレイ22A内のメモリセルに対して外部アクセスは実施されない。

【0085】第3のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されているので、第1のサイクルと同様に、パルス信号Q₄₂₀が出力される。しかしながら、外部アクセス実施信号#EX0は、既にLレベル（アクティブ）となっているので、Lレベルのまま保持される。また、サブアレイ22A内の“p”番目のワード線WL_pは活性化したまま保持され、ワード線WL_p上のメモリセルに対して外部アクセスが実施される。

【0086】なお、第3のサイクルで発生するパルス信号Q₄₂₀は、外部アクセス実施信号#EX0に影響を与えないので、例えば、図8のACT信号などを用いて、発生しないようにしてもよい。

【0087】第4のサイクルでは、第1のブロック20Aに対する外部アクセスは要求されていないので、第2のサイクルと同様に、外部アクセス実施信号#EX0はLレベル（アクティブ）のまま保持される。このとき、サブアレイ22A内の“p”番目のワード線WL_pも活性化したまま保持されるが、サブアレイ22A内のメモリセルに対して外部アクセスは実施されない。

【0088】第5のサイクルでは、行アドレスA₈～A₁₉の値は“q”から“r”に変化している。このとき、図5のRATD回路130は、時刻t₅において行アドレスの変化を検出し、RAT信号を出力する。そして、図7のリセット信号生成回路430は、RAT信号に応じてパルス信号Q₄₃₀（図10（i））を出力する。RSラッチ410およびインバータ411は、パルス信号Q₄₃₀に従って外部アクセス実施信号#EX0をHレベル（非アクティブ）に設定する。このとき、サブアレイ22A内の“p”番目のワード線WL_pは非活性化される。

【0089】また、第5のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されている。したがって、第1、第3のサイクルと同様に、パルス信号Q₄₂₀が出力され、外部アクセス実施信号#EX0は再度Lレベル（アクティブ）に設定される。このとき、サブアレイ22A内では、行アドレスA₈～A₁₉によ

て選択された“q”番目のワード線WL_qが活性化され、ワード線WL_q上のメモリセルに対して外部アクセスが実施される。

【0090】第6のサイクルでは、第1のブロック20Aに対する外部アクセスは要求されていないので、第2、第4のサイクルと同様に、外部アクセス実施信号#EX0はLレベル（アクティブ）のまま保持される。このとき、サブアレイ22A内の“q”番目のワード線WL_qも活性化したまま保持されるが、サブアレイ22A内のメモリセルに対して外部アクセスは実施されない。

【0091】時刻t₇で、チップセレクト信号#CSはHレベル（非アクティブ）に立ち上がっている。このとき、図7のリセット信号生成回路430は、パルス信号Q₄₃₀を出力する。これに応じて、外部アクセス実施信号#EX0はHレベル（非アクティブ）に設定され、サブアレイ22A内の“q”番目のワード線WL_qは非活性化される。

【0092】なお、図8のリフレッシュ実施信号発生回路44内で生成されるACT信号は、図10（k）に示すように、外部アクセス実施信号#EX0のLレベル期間を所定期間T_{d1}だけ延長したHレベル期間を有している。なお、時刻t₅付近では、外部アクセス実施信号#EX0のHレベル期間が所定期間T_{d1}より若干長いために、僅かな期間だけLレベルとなっている。また、制御信号Q₅₂₀は、図10（l）に示すように、BNK信号のHレベル期間とACT信号のHレベル期間において、Lレベルとなっている。ただし、図10では、リフレッシュ要求信号RFREQ0がLレベルとなっているので、BNK信号およびACT信号のレベルは、リフレッシュ実施信号#RF0のレベルに影響しない。

【0093】図11は、図10に示すオペレーションサイクルにおける各ブロック20A～20Dに関するワード線活性化制御部の動作を示すタイミングチャートである。図11（a）～（d）は、図10（a）～（d）と同じである。また、リフレッシュ要求が無い場合を仮定しているので、リフレッシュタイミング信号RFTM（図11（e））は、図10（e）と同じである。したがって、各ブロックコントローラ40A～40Dに入力されるリフレッシュ要求信号RFREQ0～RFREQ3（図11（f）～（i））と、各ブロックコントローラ40A～40Dから出力されるリフレッシュ実施信号#RF0～#RF3（図11（n）～（p））とは、それぞれ図10（f）、（m）と同じ信号レベルとなっている。

【0094】図11（j）～（m）は、各ブロックコントローラ40A～40Dから出力される外部アクセス実施信号#EX0～#EX3を示しており、図11（j）は図10（j）と同じである。また、図11（r）～（u）は、各ブロック20A～20Dのサブアレイ22A～22D内のワード線の状態を示しており、図11

(r) は図 10 (p) と同じである。

【0095】第2のサイクルでは、第2のブロック20Bに対する外部アクセスが要求されている。したがって、第2のブロックコントローラ40Bは、外部アクセス実施信号#EX1 (図11(k)) をLレベル (アクティブ) に設定する。このとき、第2のサブアレイ22B内では、行アドレスA8~A19によって選択された"p" 番目のワード線WLpが活性化される。

【0096】また、第2のサイクルで用いられる行アドレスA8~A19の値"p" は、時刻t5まで"p" のまま変化していないので、第2のブロックコントローラ40Bは、第2~第4の連続する3つのサイクルで外部アクセス実施信号#EX1をLレベル (アクティブ) のまま保持している。このとき、第2のサブアレイ22B内の"p" 番目のワード線WLpも活性化したまま保持される。

【0097】第6のサイクルでも、第2のサイクルと同様に、第2のブロック20Bに対する外部アクセスが要求されているので、外部アクセス実施信号#EX1がLレベル (アクティブ) に設定されている。そして、第2のサブアレイ22B内では、"q" 番目のワード線WLqが活性化される。

【0098】なお、仮に、図11の第3のサイクルで、第3のブロック20Cに対する外部アクセス要求がある場合には、第3の外部アクセス実施信号#EX3もLレベル (アクティブ) に設定され、行アドレスA8~A19が変化するまでLレベル (アクティブ) のまま保持される。そして、この場合には、第3のサブアレイ22C内の"p" 番目のワード線が活性化される。

【0099】以上、図10、図11で説明したように、各ブロックコントローラ40A~40Dは、あるブロックに対する外部アクセスが要求されると、そのブロックに対応する外部アクセス実施信号をアクティブに設定する。このとき、そのブロック内の行アドレスで選択されたワード線が活性化されて、活性化されたワード線上のメモリセルに対して外部アクセスが実施される。そして、各ブロックコントローラ40A~40Dは、一旦、アクティブ (Lレベル) に設定した外部アクセス実施信号を、後続のサイクルで用いられるアドレスA0~A19のうちの行アドレスA8~A19が変化するまで保持する。このとき、ワード線は活性化した状態で保持され、そのブロックに対する外部アクセスが再度要求されたサイクルでは、既に活性化されたワード線上のメモリセルに対して外部アクセスが実施される。このようにすれば、ワード線の活性化および非活性化をサイクル毎に繰り返さなくて済むので、電流の消費をかなり低減させることが可能となる。

【0100】このように、本実施例におけるワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、最初のサイ

クルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することができる。

【0101】また、これと同時に、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいて活性化された第2のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することも可能である。このようにして、2以上のブロックにおいて、ワード線を同時に活性化した状態で保持する場合には、活性化されたワード線上のメモリセルに対して外部アクセスが実施される頻度を高めることができ、この結果、ワード線の活性化に伴う消費電流をかなり低減することが可能となる。

【0102】なお、本実施例においては、行アドレスは、20ビットで構成されるアドレスのうちの最も上位にある複数のビットに割り当てられているので、行アドレスが比較的变化しにくくなる。このようにすれば、ワード線が活性化した状態で保持される頻度を高めることができるので、ワード線の活性化に伴う消費電流をさらに低減することが可能となる。

【0103】D2. オペレーションサイクルにおける動作 (リフレッシュ要求がある場合) : 図12は、オペレーションサイクルにおいてリフレッシュ要求があった場合の第1のブロック20Aに関するワード線活性化制御部の動作を示すタイミングチャートである。なお、図12(a)~(d), (g) は、図10(a)~(d), (g) と同じである。

【0104】図12(e) に示すように、リフレッシュタイミング信号RFTMは、第2のサイクル期間中の時刻taでHレベルに立ち上がっている。このとき、リフレッシュ要求信号発生回路50A (図5) は、直ちにリフレッシュ要求信号RFREQ0 (図12(f)) をHレベルに設定し、第1のブロック20Aに対してリフレッシュを要求する。なお、リフレッシュ要求信号RFRREQ0は、第1のブロック20Aにおいてリフレッシュが終了するまでHレベルに保たれる。

【0105】第2のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されていないので、図7のリセット信号生成回路430は、リフレッシュ要求信号RFREQ0がHレベルに設定されるとパルス信号Q430 (図12(i)) を出力する。このとき、外部アクセス実施信号#EX0がHレベル (非アクティブ) に設定され、サブアレイ22A内の"p" 番目のワード線WLpが非活性化される。なお、第2のサイクル期間中に、このワード線WLpを非活性化させることができるのは、第1のブロック20Aに対する外部アクセスが要求されていないからである。

【0106】外部アクセス実施信号#EX0がHレベルに立ち上がると、所定期間Td1経過後にACT信号

(図 12 (k)) が L レベルとなる。また、第 2 のサイクルでは、BNK 信号 (図 12 (g)) は L レベルとなっている。したがって、図 8 の制御回路 520 は、制御信号 Q520 (図 12 (l)) を H レベルに設定する。この結果、リフレッシュ実施信号発生回路 44 は、リフレッシュ要求信号 RFREQ0 に応じて所定の L レベル (アクティブ) 期間を有するリフレッシュ実施信号 #RF0 (図 12 (m)) を出力する。

【0107】リフレッシュ実施信号 #RF0 が L レベル (アクティブ) に設定されると、図 9 の第 1 の行デコーダ 30A は、リフレッシュアドレス RFA8~RFA19 を選択して第 1 の行デコーダ 24A に供給する。したがって、第 1 のブロック 20A のサブアレイ 22A 内では、リフレッシュアドレス RFA8~RFA19 (図 12 (q)) によって選択された "n" 番目のワード線が活性化され、そのワード線上のすべてのメモリセルについてリフレッシュが実施される。

【0108】リフレッシュ実施信号 #RF0 が H レベル (非アクティブ) に戻ると、サブアレイ 22A 内の "n" 番目のワード線 WL_n が非活性化される。また、図 5 のリセット信号発生回路 46 は、リフレッシュ実施信号 #RF0 の立ち上がりエッジに応じて短パルス状のリセット信号 RST0 (図 12 (o)) を発生する。リフレッシュ要求信号発生回路 50A (図 5) は、リセット信号 RST0 に従って、リフレッシュ要求信号 RFREQ0 を L レベルに戻す。これにより、第 1 のブロック内におけるリフレッシュ動作が完了する。

【0109】なお、リフレッシュ実施信号 #RF0 が H レベルに戻ると、所定期間 T_d 2 経過後に、リフレッシュ実施信号 #RF0 に応じて L レベルに設定されていた RFC 信号 (図 12 (n)) が H レベルに戻る。

【0110】第 3 のサイクルでは、第 1 のブロック 20A に対する外部アクセスが要求されており、また、RFC 信号は H レベルとなっている。したがって、図 7 のセット信号生成回路 420 はパルス信号 Q420 を出力し、これに応じて、外部アクセス実施信号 #EX0 は L レベル (アクティブ) に設定される。そして、サブアレイ 22A 内では、"p" 番目のワード線 WL_p が再度活性化されて外部アクセスが実施される。

【0111】図 13 は、図 12 に示すオペレーションサイクルにおける各ブロック 20A~20D に関するワード線活性化制御部の動作を示すタイミングチャートである。図 13 (a)~(d) は、図 12 (a)~(d) と同じである。図 13 (e) のリフレッシュタイミング信号 RFTM は図 12 (e) と同じであり、第 1 のブロック 20A に関する動作は図 12 と同じである。

【0112】リフレッシュタイミング信号 RFTM が時刻 t_a で H レベルに立ち上がると、直ちにすべてのリフレッシュ要求信号 RFREQ0~RFREQ3 (図 13 (f)~(i)) が H レベルに設定され、各ブロック 2

0A~20D に対するリフレッシュが要求される。

【0113】第 2 のブロック 20B に関しては、時刻 t_a より前の時刻 t₂ において外部アクセスが要求されているので、第 2 のサイクルで外部アクセスが実施される。そして、リフレッシュ要求信号 RFREQ1 は H レベルのまま保持される。第 3 のサイクルでは、第 2 のブロック 20B に対する外部アクセス要求が無く、リフレッシュ要求があるので、外部アクセス実施信号 #EX1 (図 13 (k)) は H レベル (非アクティブ) に設定される。このとき、第 2 のサブアレイ 22B 内の "p" 番目のワード線 WL_p (図 13 (s)) は非活性化される。そして、外部アクセス実施信号 #EX1 が立ち上がった後に、リフレッシュ実施信号 #RF1 (図 13 (o)) が L レベル (アクティブ) に設定される。これにより、第 2 のサブアレイ 22B 内の "n" 番目のワード線 WL_n が活性化されてリフレッシュが実施される。この後、リフレッシュ実施信号 #RF1 が H レベル (非アクティブ) に設定されると、リフレッシュ要求信号 RFREQ1 は L レベルに戻る。なお、第 4 のサイクルでは、第 2 のブロック 20B に対する外部アクセスが要求されているので、外部アクセス実施信号 #EX1 が再度 L レベル (アクティブ) に設定され、これに伴い、サブアレイ 22B 内の "p" 番目のワード線 WL_p が再度活性化される。

【0114】第 3 のブロック 20C に関しては、第 2 のサイクルにおいて外部アクセスが要求されておらず、外部アクセス実施信号 #EX2 (図 13 (l)) は H レベル (非アクティブ) となっている。このため、リフレッシュ要求信号 RFREQ2 が H レベルとなると、直ちにリフレッシュ実施信号 #RF2 (図 13 (p)) が L レベルに設定される。これにより、第 3 のサブアレイ 22C 内の "n" 番目のワード線 WL_n (図 13 (t)) が活性化されてリフレッシュが実施される。この後、リフレッシュ実施信号 #RF2 が H レベル (非アクティブ) に設定されると、リフレッシュ要求信号 RFREQ2 は L レベルに戻る。なお、第 4 のブロック 20D に関しては、第 3 のブロック 20C に関する動作と同じである。

【0115】ところで、各ブロック 20A~20D におけるリフレッシュは、同じリフレッシュアドレス RFA8~RFA19 (図 13 (w)) に従って実施されている。すなわち、リフレッシュアドレス RFA8~RFA19 の値 "n" によって各ブロック 20A~20D 内の n 番目のワード線 WL_n が活性化され、そのワード線 WL_n 上のすべてのメモリセルがリフレッシュされる。

【0116】各ブロック 20A~20D におけるリフレッシュ動作が完了すると、リフレッシュ要求信号 RFREQ0~RFREQ3 (図 13 (f)~(i)) がそれぞれ L レベルに戻る。図 4 のリフレッシュカウンタコントローラ 90 は、すべてのリフレッシュ要求信号 RFREQ0~RFREQ3 が L レベルに戻ると、カウンタ

ップ信号#CNTUP (図13 (v)) を発生する。

【0117】図14は、図4のリフレッシュカウンタコントローラ90の内部構成を示すブロック図である。このコントローラ90は、4入力NORゲート92と、NANDゲート94と、遅延回路96と、インバータ98とを備えている。4入力NORゲート92には、4つのリフレッシュ要求信号RFREQ0~RFREQ3が入力されている。4入力NORゲート92の出力Q92は、NANDゲート94の一方の入力端子に入力されている。出力Q92は、さらに、遅延回路96で遅延され、インバータ98で反転された後に、NANDゲート94の他方の入力端子に入力されている。この構成から理解できるように、NANDゲート94から出力されるカウントアップ信号#CNTUPは、4つのリフレッシュ要求信号RFREQ0~RFREQ3が共にLレベルに立ち下がった後に、遅延回路96における遅延時間だけLレベルとなるようなパルス信号となる (図13 (v))。

【0118】リフレッシュカウンタ100 (図4) は、このカウントアップ信号#CNTUPに応じて、リフレッシュアドレスRFA8~RFA19 (図13 (w)) の値を1つカウントアップする。従って、次のリフレッシュ動作は、"n+1" 番目のワード線に関して行われる。

【0119】以上、図12、図13で説明したように、各ブロックコントローラ40A~40Dは、リフレッシュが要求されると、外部アクセスが要求されている1つのブロック以外の他のブロックに対応するリフレッシュ実施信号をアクティブに設定する。このとき、他のブロック内では、リフレッシュを実施するために、活性化状態で保持されているワード線が非活性化される。その後、リフレッシュアドレスで選択されたワード線が活性化されてリフレッシュが実施される。

【0120】そして、外部アクセスが実施される1つのブロックに関しては、そのブロックに対する外部アクセス要求が無くなった後に、リフレッシュ実施信号がアクティブに設定される。このとき、その1つのブロック内の活性化状態のワード線が非活性化され、この後、リフレッシュアドレスで選択されたワード線が活性化されてリフレッシュが実施される。

【0121】このように、本実施例におけるワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することができる。そして、ワード線活性化制御部は、第1のメモリセルブロック内のワード線が活性化状態となっていて、第1のメモリセルブロックに対してリフレッシュが要求された場合には、第1のメモリセルブロックにおいて外部アクセス

が実行されていないことを条件に、第1のメモリセルブロック内の活性化状態のワード線を非活性化させることができる。このようにすれば、半導体メモリ装置においてリフレッシュを実行することができるとともに、また、リフレッシュが実行されない期間では、サイクル毎にワード線の活性化および非活性化を繰り返す必要がないため、ワード線の活性化に伴う消費電流を低減することが可能となる。

【0122】また、これと同時に、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前の任意のサイクルにおいて活性化された第2のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することも可能である。そして、ワード線活性化制御部は、第1のメモリセルブロックとともに第2のメモリセルブロックに対してリフレッシュが要求される場合には、第2のメモリセルブロックにおいて外部アクセスが実行されていないことを条件に、第2のメモリセルブロック内の活性化状態のワード線を非活性化させることができる。

【0123】このように、ワード線活性化制御部は、2以上のメモリセルブロックの中のワード線を同時に活性化した状態で保持することができ、リフレッシュが要求されたときには、活性化状態のワード線を最終のサイクルの終了を待たずに非活性化させてリフレッシュを実行することができる。

【0124】ところで、図12では、第1のブロック20Aに対する外部アクセス要求が発生する時刻t3よりかなり前の時刻taにおいてリフレッシュ要求が発生しているため、第2のサイクルにおいてリフレッシュを実施し、第3のサイクルにおいて外部アクセスを実施することが可能となっている。しかしながら、時刻t3の直前でリフレッシュ要求があったとき、換言すれば、時刻t3より前の比較的短い所定期間内にリフレッシュ要求があったときには、リフレッシュを延期して、第3のサイクルにおいて外部アクセスを優先して実施することとしている。なお、これは、以下に説明するように、ACT信号を用いることにより可能となっている。

【0125】図15は、オペレーションサイクルにおいて図12と異なる時刻にリフレッシュ要求があった場合の第1のブロック20Aに関するワード線活性化制御部の動作を示すタイミングチャートである。図15では、第2のサイクルが終了する前の所定期間内の時刻tbに、リフレッシュタイミング信号RFTMがHレベルに立ち上がっている。なお、図15 (a) ~ (d)、(g) は、図10 (a) ~ (d)、(g) と同じである。

【0126】図15 (e)、(f) に示すように、リフレッシュタイミング信号RFTMが時刻tbでHレベルに立ち上がると、直ちにリフレッシュ要求信号RFREQ0がHレベルに設定され、第1のブロック20Aに対

するリフレッシュが要求される。

【0127】第2のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されていないので、リフレッシュ要求信号RFREQ0がHレベルに設定されると、パルス信号Q430(図15(i))が出力される。このとき、外部アクセス実施信号#EXO(図15(j))がHレベル(非アクティブ)に設定され、サブアレイ22A内の"p"番目のワード線WLp(図15(q))が非活性化される。これにより、リフレッシュのための動作が可能となる。

【0128】外部アクセス実施信号#EXOがHレベルに立ち上がると、所定期間Td1経過後の第3のサイクル期間中にACT信号(図15(k))がLレベルとなる。しかしながら、第3のサイクルでは、BNK信号(図15(g))はHレベルとなっている。このため、図8の制御回路520は、第3のサイクルにおいて制御信号Q520(図15(l))をLレベルのまま保持し、この結果、リフレッシュ実施信号#RF0(図15(m))はLレベル(アクティブ)に設定されずに、Hレベル(非アクティブ)のまま保持される。すなわち、リフレッシュのための動作は中止される。

【0129】また、第3のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されているので、パルス信号Q420(図15(h))が出力され、これに応じて外部アクセス実施信号#EXOがLレベル(アクティブ)に設定される。そして、サブアレイ22A内の"p"番目のワード線WLpが再度活性化される。これにより、リフレッシュに優先して外部アクセスが実施されることとなる。

【0130】第4のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されておらず、リフレッシュが要求されているので、パルス信号Q430が出力され、これに応じて、外部アクセス実施信号#EXOがHレベル(非アクティブ)に設定される。このとき、サブアレイ22A内の"p"番目のワード線WLpは非活性化される。そして、外部アクセス実施信号#EXOが立ち上がった後の所定期間Td1経過後に、ACT信号がLレベルとなり、これに伴い、制御信号Q520がHレベルとなる。この結果、リフレッシュ実施信号#RF0がLレベル(アクティブ)に設定され、サブアレイ22A内の"n"番目のワード線WLnが活性化されてリフレッシュが実施される。

【0131】なお、リフレッシュ実施信号#RF0がHレベル(非アクティブ)に戻ると、サブアレイ22A内の"n"番目のワード線WLnが非活性化される。また、リフレッシュ実施信号#RF0の立ち上がりエッジに応じて短パルス状のリセット信号RST0(図15(o))が生成され、これに応じて、リフレッシュ要求信号RFREQ0がLレベルに戻る。

【0132】図16は、図15に示すオペレーションサ

イクルにおける各ブロック20A~20Dに関するワード線活性化制御部の動作を示すタイミングチャートである。図16(a)~(d)は、図15(a)~(d)と同じである。図16(e)のリフレッシュタイミング信号RFTMは図15(e)と同じであり、第1のブロック20Aに関する動作は、図15と同じである。

【0133】第2のブロック20Bに関しては、時刻tbより前の時刻t2において外部アクセスが要求されているので、図13と同じとなっている。また、第3、第4のブロック20C、20Dに関しては、外部アクセスが要求されていないので図13とほぼ同じとなっている。ただし、リフレッシュタイミング信号RFTMが立ち上がる時刻の相違により、リフレッシュの実施時期が異なっている。

【0134】なお、すべてのリフレッシュ要求信号RFREQ0~RFREQ3がそれぞれLレベルに戻った後の動作は、図13と同様である。

【0135】以上、図15、図16で説明したように、各ブロックコントローラ40A~40Dは、あるブロックに対する外部アクセス要求が無いときにリフレッシュが要求されると、そのブロックに対する外部アクセス実施信号を非アクティブ(Hレベル)に設定して活性化状態で保持されているワード線を非活性化させる。そして、リフレッシュが、そのブロックに対する外部アクセスが要求される時刻より前の所定期間内で要求されている場合には、リフレッシュ動作を中止して、そのブロックに対する外部アクセス実施信号を再度アクティブ(Hレベル)に設定してワード線を活性化させることができる。なお、リフレッシュは、そのブロックにおいて外部アクセスの実施が終了した後に、実施される。

【0136】このように本実施例では、外部アクセスが要求される時刻より前の所定期間内にリフレッシュが要求された場合には、外部アクセスが優先して実施され、リフレッシュは外部アクセスの終了後のサイクルまで延期される。一方、外部アクセスが要求される時刻より前の所定期間直前にリフレッシュが要求された場合には、1つのサイクル期間内にリフレッシュと外部アクセスとを双方実行する必要がある。換言すれば、リフレッシュと外部アクセスの双方を実行可能な期間が、アドレスA0~A19の変化の最短周期Tcycになるように設定される。ただし、本実施例では、後述するように、この周期Tcycが最短化されている。

【0137】図17は、オペレーションサイクルにおいて図15と異なる時刻にリフレッシュ要求があった場合の第1のブロック20Aに関する動作を示すタイミングチャートである。図17では、第2のサイクルが終了する前の所定期間直前の時刻tcに、リフレッシュタイミング信号RFTMがHレベルに立ち上がっている。なお、図17(a)~(d)、(g)は、図10(a)~(d)、(g)と同じである。

【0138】図17(e), (f)に示すように、リフレッシュタイミング信号RFTMが時刻 t_c でHレベルに立ち上がると、直ちにリフレッシュ要求信号RFREQ0がHレベルに設定され、第1のブロック20Aに対するリフレッシュが要求される。

【0139】第2のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されていないので、リフレッシュ要求信号RFREQ0がHレベルに設定されると、パルス信号Q430(図17(i))が出力される。このとき、外部アクセス実施信号#EXO(図17(j))がHレベル(非アクティブ)に設定され、サブアレイ22A内の"p"番目のワード線WLpが非活性化される。

【0140】外部アクセス実施信号#EXOがHレベルに立ち上がると、所定期間Td1経過後の第2のサイクルの終了直前にACT信号(図17(k))がLレベルとなる。そして、第2のサイクルでは、BNK信号(図17(g))はLレベルとなっているので、時刻 t_3 直前においてパルス状の制御信号Q520(図17

(l))が出力される。この結果、リフレッシュ実施信号#RF0(図17(m))がLレベル(アクティブ)に設定され、サブアレイ22A内の"n"番目のワード線WLnが活性化されてリフレッシュが実施される。

【0141】リフレッシュ実施信号#RF0がHレベル(非アクティブ)に戻ると、サブアレイ22A内の"n"番目のワード線WLnが非活性化される。また、リフレッシュ実施信号#RF0の立ち上がりエッジに応じて短パルス状のリセット信号RST0(図17(o))が生成され、これに応じて、リフレッシュ要求信号RFREQ0がLレベルに戻る。

【0142】また、リフレッシュ実施信号#RF0がHレベルに立ち上がった後の所定期間Td2経過後に、リフレッシュ実施信号#RF0に応じてLレベルに設定されていたRFC信号(図17(n))がHレベルに戻る。

【0143】第3のサイクルでは、第1のブロック20Aに対する外部アクセスが要求されているので、RFC信号がHレベルに戻ると、パルス信号Q420(図17(h))が出力される。このとき、外部アクセス実施信号#EXOがLレベル(アクティブ)に設定され、サブアレイ22A内の"p"番目のワード線WLpが再度活性化されて外部アクセスが実施される。このようにして、第3のサイクルにおいては、リフレッシュが実施された後に、外部アクセスが実施される。

【0144】図18は、図17の第1～第4のサイクルを拡大して示すタイミングチャートである。ただし、図18では、図17の一部の信号のみが示されている。

【0145】図18(k)に示すように、リフレッシュと外部アクセスとを連続して実施するためには、リフレッシュの実施に必要な期間Trfと外部アクセスの実

に必要な期間Texとを要する。ここで、各期間Trf, Texには、ブロック20A内のプリチャージ回路(図示せず)によるプリチャージ動作に必要な期間(以下、「プリチャージ期間」とも呼ぶ)Tprと、ワード線を活性化させる際に必要な期間Tacとが含まれている。1つのサイクル期間中にリフレッシュおよび外部アクセスを連続して実施する場合には、通常、アドレスA0～A19の変化の最短周期Tcycは($Trf + Tex$)に設定される。しかしながら、本実施例では、ACT信号およびRFC信号を用いているので、最短周期Tcycをほぼ($Trf + Tex - Tpr$)に設定することが可能となっている。

【0146】すなわち、ACT信号は、外部アクセス実施信号#EXOのLレベル(アクティブ)期間を所定期間Td1だけ延長したHレベル期間を有している。そして、この所定期間Td1は、プリチャージ動作に必要な期間Tprとほぼ同じ期間に設定されている。このため、リフレッシュ要求信号RFREQ0がHレベルに立ち上がる時刻が、第1のブロック20Aに対する外部アクセスが要求される時刻 t_3 より所定期間Td1以上前である場合には、第2のサイクル期間中に、リフレッシュのためのプリチャージ動作に必要な期間Tprを確保することができる。このようにすれば、第3のサイクルにおいて確保すべきリフレッシュのための期間をほぼ($Trf - Tpr$)に設定することができる。

【0147】また、RFC信号は、リフレッシュ実施信号#RF0のLレベル(アクティブ)期間を所定期間Td2だけ延長したLレベル期間を有している。そして、この所定期間Td2は、プリチャージ動作に必要な期間Tprとほぼ同じ期間に設定されている。このため、RFC信号がHレベルとなった以後に、外部アクセス実施信号#EXOをLレベル(アクティブ)に設定すれば、外部アクセスのためのプリチャージ動作に必要な期間Tprを確保することができる。

【0148】本実施例では、ACT信号およびRFC信号を用いることにより、アドレスA0～A19の変化の最短周期Tcycを、ほぼ($Trf + Tex - Tpr$)に設定することが可能となっている。

【0149】図19は、図17に示すオペレーションサイクルにおける各ブロック20A～20Dに関するワード線活性化制御部の動作を示すタイミングチャートである。図19(a)～(d)は、図17(a)～(d)と同じである。図19(e)のリフレッシュタイミング信号RFTMは図17(e)と同じであり、第1のブロック20Aに関する動作は、図17と同じである。

【0150】第2のブロック20Bに関しては、第2のサイクルにおいて外部アクセスが既に実施されているので、図16と同じとなっている。また、第3、第4のブロック20C, 20Dに関しては、外部アクセスが要求されていないので図16とほぼ同じとなっている。ただ

し、リフレッシュタイミング信号RFTMが立ち上がる時刻の相違により、リフレッシュの実施時期が異なっている。

【0151】なお、すべてのリフレッシュ要求信号RFREQ0~RFREQ3がそれぞれLレベルに戻った後の動作は、図13と同様である。

【0152】以上、図15~図19で説明したように、本実施例におけるワード線活性化制御部は、第1のメモリセルブロック内のワード線が活性化状態となっているときに、第1のメモリセルブロックに対してリフレッシュが要求された場合には、第1のメモリセルブロックにおいて外部アクセスが実行されていないことを条件に、第1のメモリセルブロック内の活性化状態のワード線を非活性化させることができる。そして、第1のメモリセルブロックに対してリフレッシュが要求された後の所定期間内に、第1のメモリセルブロックに対して外部アクセスが要求された場合には、第1のメモリセルブロックにおけるリフレッシュの実行を延期して、第1のメモリセルブロック内においてデータの読み出しまたは書き込みを実行するためのワード線を活性化させることができる。このようにすれば、外部アクセスを優先して実行することが可能となる。

【0153】また、本実施例では、リフレッシュが要求された後の所定期間は、リフレッシュのためのプリチャージに必要な期間T_{pr}とほぼ等しく設定されている。ここで、プリチャージに必要な期間T_{pr}とほぼ等しい期間としては、期間T_{pr}の±20%以内の期間が好ましい。こうすれば、外部アクセスが要求されるサイクルの直前のサイクル期間中にプリチャージを実行することができるので、1つのサイクル期間、すなわち、アドレスA0~A19の変化の最短周期T_{cyc}を、比較的短く設定することが可能となる。

【0154】D3. スタンバイサイクルおよびスヌーズ状態における動作：オペレーションサイクルでは、外部アクセスとともにリフレッシュが実施されるが、スタンバイサイクルおよびスヌーズ状態では、外部アクセスは実施されず、リフレッシュのみが実施される。

【0155】図20は、スタンバイサイクルにおける各ブロック20A~20Dに関するワード線活性化制御部の動作を示すタイミングチャートである。スタンバイサイクルでは、チップセレクト信号#CS (図20

(a)) がHレベル (非アクティブ) となり、かつ、スヌーズ信号ZZ (図20 (b)) がHレベルとなる。なお、スタンバイサイクルでは外部アクセスは行われないので、4つのブロック20A~20Dに対する外部アクセス実施信号#EX0~#EX3 (図20 (j) ~ (m)) はHレベル (非アクティブ) に設定されている。

【0156】時刻t11においてリフレッシュタイミング信号RFTM (図20 (e)) が立ち上がると、直ち

に4つのブロック20A~20Dに対するリフレッシュ要求信号RFREQ0~RFREQ3 (図20 (f) ~ (i)) がHレベルに立ち上がる。このとき、リフレッシュ実施信号#RF0~#RF3 (図20 (n) ~

(q)) はLレベル (アクティブ) に立ち下がる。この結果、4つのブロック20A~20Dにおいて、リフレッシュアドレスRFA8~RFA19によって選択される同じ"n"番目のワード線WL_nが活性化され (図20 (r) ~ (u))、そのワード線上のすべてのメモリセルがリフレッシュされる。

【0157】このように、スタンバイサイクルでは、いずれのブロック20A~20Dに対しても外部アクセスが無いので、4つのブロック20A~20Dにおいて同時にリフレッシュが実施される。

【0158】なお、すべてのリフレッシュ要求信号RFREQ0~RFREQ3がそれぞれLレベルに戻った後の動作は、図13と同様である。

【0159】図20では、スタンバイサイクルにおけるリフレッシュ動作を説明したが、スヌーズ状態でも同じである。

【0160】以上のように、オペレーションサイクルでは、リフレッシュタイミング信号RFTMによってリフレッシュ動作をすべきことが通知されると、外部アクセスの実施状況に応じてリフレッシュが実施される (第1のリフレッシュモード)。一方、スタンバイサイクルとスヌーズ状態では、リフレッシュタイミング信号RFTMによってリフレッシュ動作をすべきことが通知されると、直ちに4つのブロック20A~20Dにおいて同時にリフレッシュが実施される (第2のリフレッシュモード)。

【0161】E. 電子機器への適用例：図21は、本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。この携帯電話機600は、本体部610と、蓋部620とを備えている。本体部610には、キーボード612と、液晶表示部614と、受話部616と、本体アンテナ部618とが設けられている。また、蓋部620には、送話部622が設けられている。

【0162】図22は、図21の携帯電話機600の電氣的構成を示すブロック図である。CPU630には、バスラインを介して、キーボード612と、液晶表示部614を駆動するためのLCDドライバ632と、SRAM640と、VSRAM642と、EEPROM644とが接続されている。

【0163】SRAM640は、例えば高速なキャッシュメモリとして利用される。また、VSRAM642は、例えば画像処理用の作業メモリとして利用される。このVSRAM642 (擬似SRAMあるいは仮想SRAMと呼ばれる) としては、上述したメモリチップ300を採用することができる。EEPROM644は、携

帯電話機 600 の各種の設定値を格納するために利用される。

【0164】携帯電話機 600 の動作を一時的に停止させるときには、VSRAM 642 をスヌーズ状態に維持しておくことができる。こうすれば、VSRAM 642 が内部リフレッシュを自動的に行うので、VSRAM 642 内のデータを消失させずに保持しておくことが可能である。特に、本実施例のメモリチップ 300 は比較的大容量なので、画像データなどの大量のデータを長時間保持し続けることができるという利点がある。

【0165】なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能である。

【図面の簡単な説明】

【図 1】本発明の実施例としてのメモリチップ 300 の端子の構成を示す説明図である。

【図 2】チップセレクト信号 #CS とスヌーズ信号 ZZ の信号レベルに応じたメモリチップ 300 の動作状態の区分を示す説明図である。

【図 3】メモリチップ 300 の動作の概要を示すタイミングチャートである。

【図 4】メモリチップ 300 の内部構成を示すブロック図である。

【図 5】図 4 の第 1 のブロックコントローラ 40A の内部構成を示すブロック図である。

【図 6】図 5 の RATD 回路 130 の内部構成を示すブロック図である。

【図 7】図 5 の外部アクセス実施信号発生回路 42 の内部構成を示すブロック図である。

【図 8】図 5 のリフレッシュ実施信号発生回路 44 の内部構成を示すブロック図である。

【図 9】図 4 の第 1 の行プリデコーダ 30A の内部構成を示すブロック図である。

【図 10】オペレーションサイクルにおける第 1 のブロック 20A に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 11】図 10 に示すオペレーションサイクルにおける各ブロック 20A ~ 20D に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 12】オペレーションサイクルにおいてリフレッシュ要求があった場合の第 1 のブロック 20A に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 13】図 12 に示すオペレーションサイクルにおける各ブロック 20A ~ 20D に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 14】図 4 のリフレッシュカウンタコントローラ 90 の内部構成を示すブロック図である。

【図 15】オペレーションサイクルにおいて図 12 と異なる時刻にリフレッシュ要求があった場合の第 1 のブ

ック 20A に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 16】図 15 に示すオペレーションサイクルにおける各ブロック 20A ~ 20D に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 17】オペレーションサイクルにおいて図 15 と異なる時刻にリフレッシュ要求があった場合の第 1 のブロック 20A に関する動作を示すタイミングチャートである。

10 【図 18】図 17 の第 1 ~ 第 4 のサイクルを拡大して示すタイミングチャートである。

【図 19】図 17 に示すオペレーションサイクルにおける各ブロック 20A ~ 20D に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 20】スタンバイサイクルにおける各ブロック 20A ~ 20D に関するワード線活性化制御部の動作を示すタイミングチャートである。

【図 21】本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。

20 【図 22】図 21 の携帯電話機 600 の電気的構成を示すブロック図である。

【符号の説明】

- 10…データ入出力バッファ
- 20…メモリセルアレイ
- 20A ~ 20D…ブロック
- 22A ~ 22D…メモリセルサブアレイ
- 24A ~ 24D…行デコーダ
- 26A ~ 26D…列デコーダ
- 28A ~ 28D…ゲート
- 30A ~ 30D…行プリデコーダ
- 34, 36…スイッチ&ラッチ回路
- 38…判定回路
- 40A ~ 40D…ブロックコントローラ
- 42…外部アクセス実施信号発生回路
- 44…リフレッシュ実施信号発生回路
- 46…リセット信号発生回路
- 50A ~ 50D…リフレッシュ要求信号発生回路
- 60…アドレスバッファ
- 70…リフレッシュタイマ
- 90…リフレッシュカウンタコントローラ
- 92…4入力NORゲート
- 94…NANDゲート
- 96…遅延回路
- 98…インバータ
- 100…リフレッシュカウンタ
- 130…行アドレス遷移検出回路 (RATD回路)
- 131…遷移検出回路
- 132…インバータ
- 133, 134…パルス発生回路
- 50 135…ORゲート

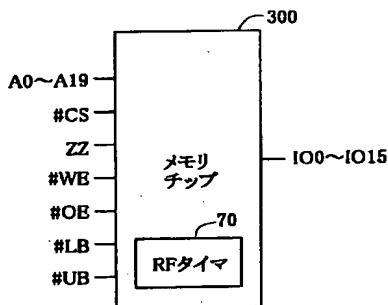
35

138…12入力ORゲート
 300…メモリチップ
 410…RSラッチ
 411…インバータ
 420…セット信号生成回路
 421…インバータ
 422…デコーダ
 423, 426, 428…ANDゲート
 425…遅延回路
 429…パルス発生回路
 430…リセット信号生成回路
 431…インバータ
 432…ANDゲート
 434, 438…パルス発生回路
 436…3入力ORゲート
 510…ANDゲート
 511…パルス発生回路
 512…インバータ
 520…リフレッシュ要求信号制御回路

36

521…インバータ
 522…デコーダ
 523…ANDゲート
 525…遅延回路
 526…NANDゲート
 528…NORゲート
 600…携帯電話機
 610…本体部
 612…キーボード
 10 614…液晶表示部
 616…受話部
 618…本体アンテナ部
 620…蓋部
 622…送話部
 630…CPU
 632…LCDドライバ
 640…SRAM
 642…VSRAM
 644…EEPROM

【図1】

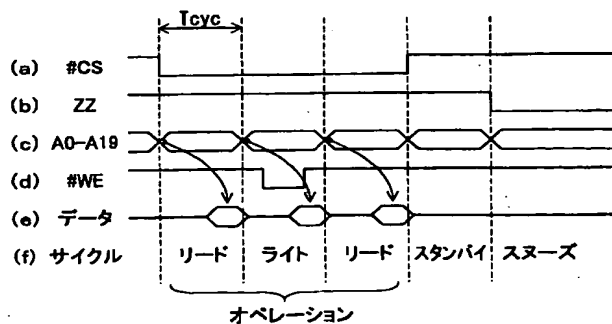


【図2】

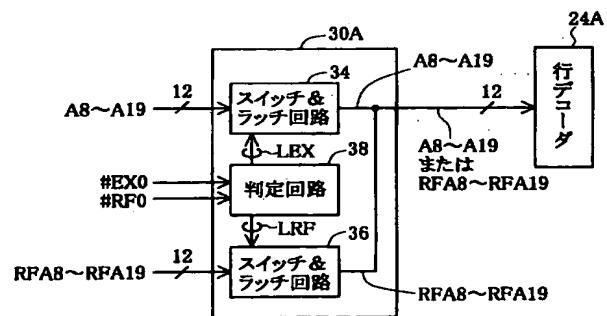
	#CS	ZZ	リフレッシュ モード(注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード2
スヌーズ (パワーダウン)	H	L	モード2

【図3】

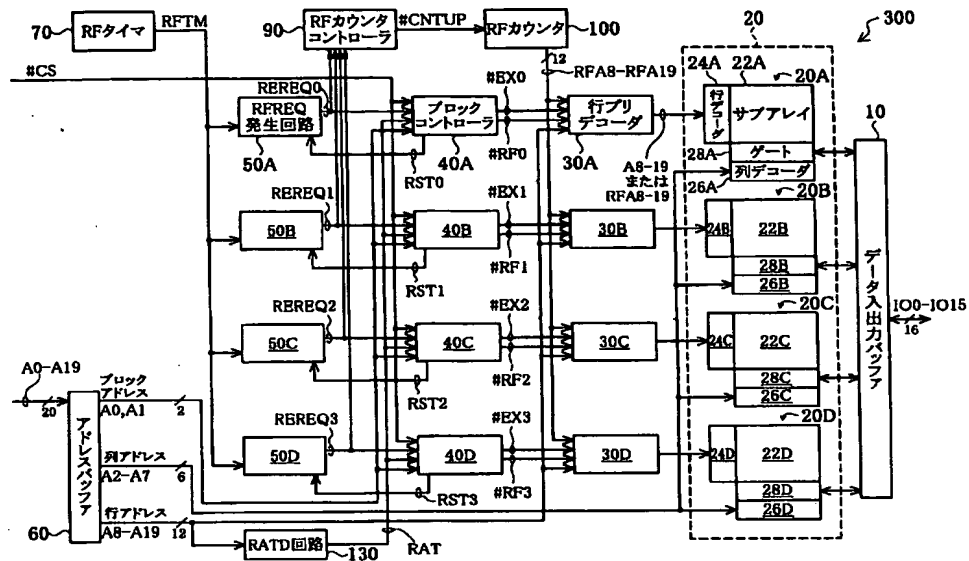
動作の概要



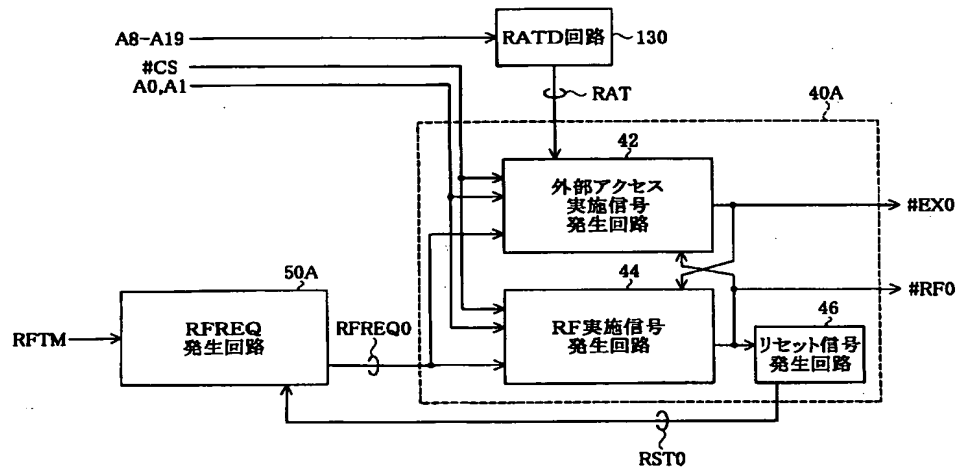
【図9】



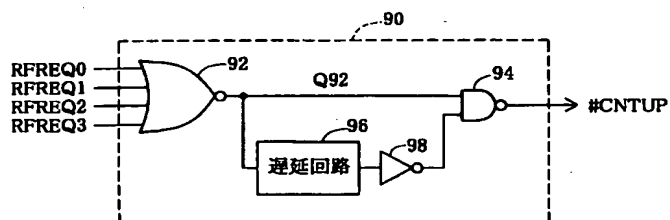
【図4】



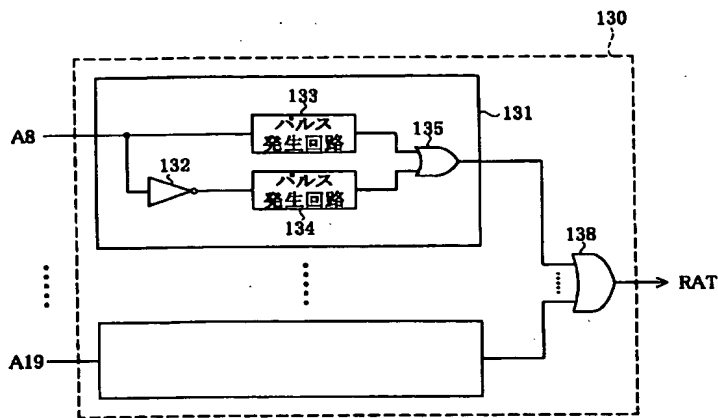
【図5】



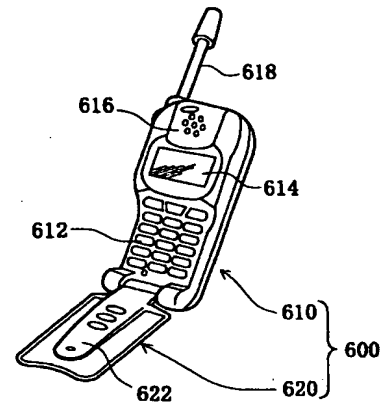
【図14】



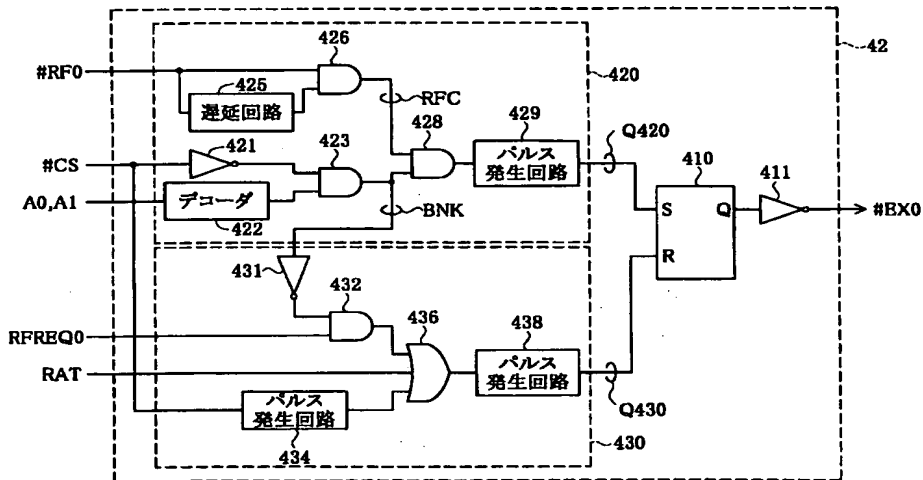
【図 6】



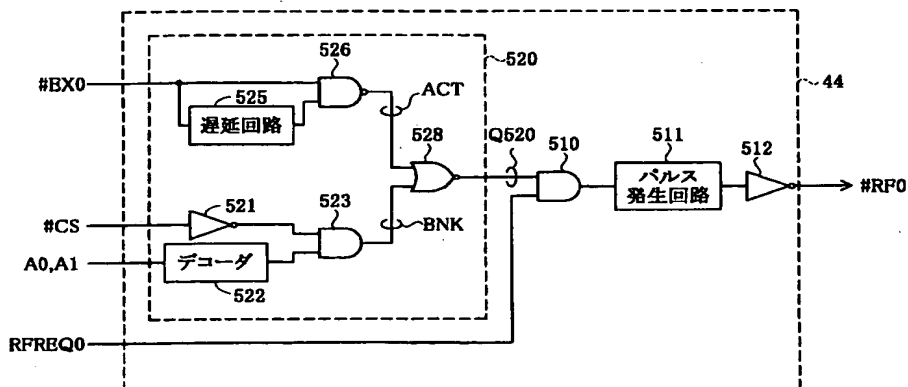
【図 21】



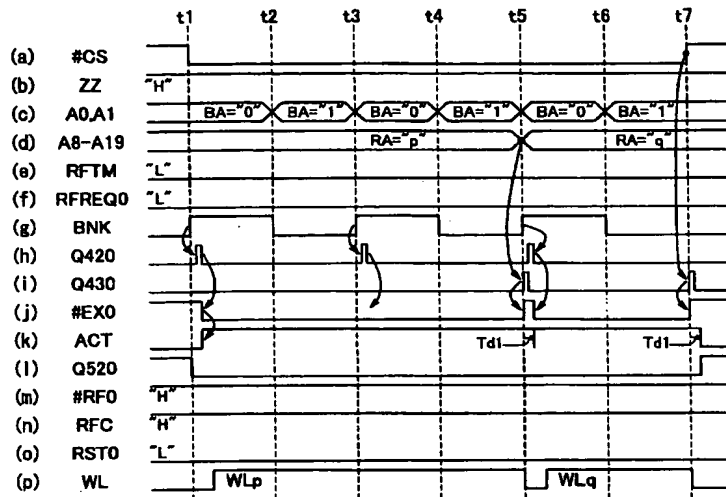
【図 7】



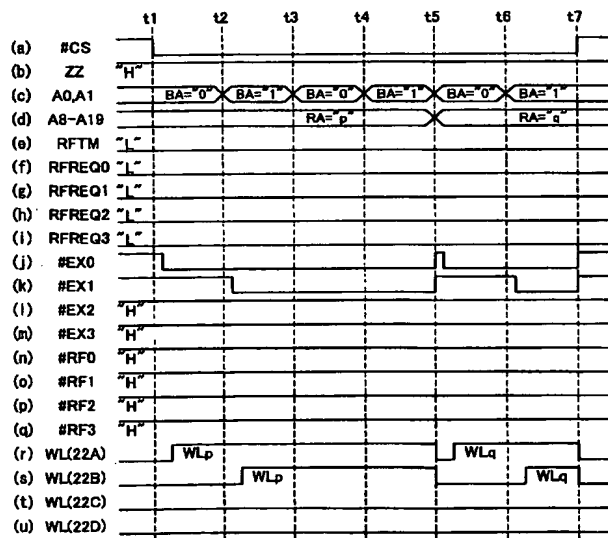
【図 8】



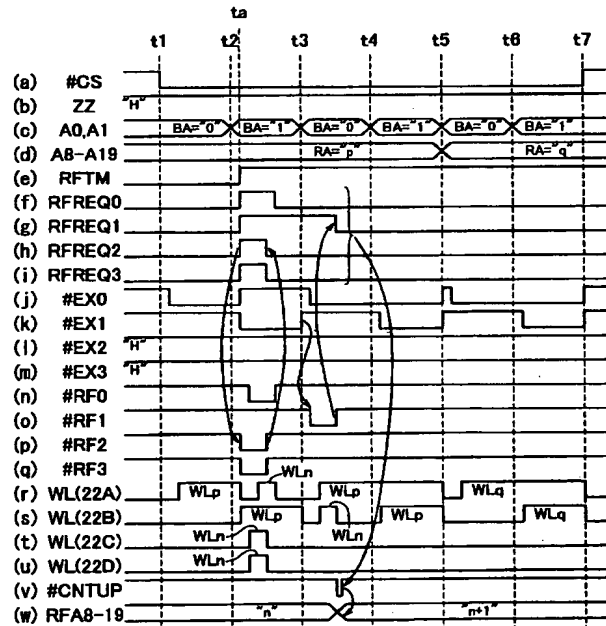
【図10】



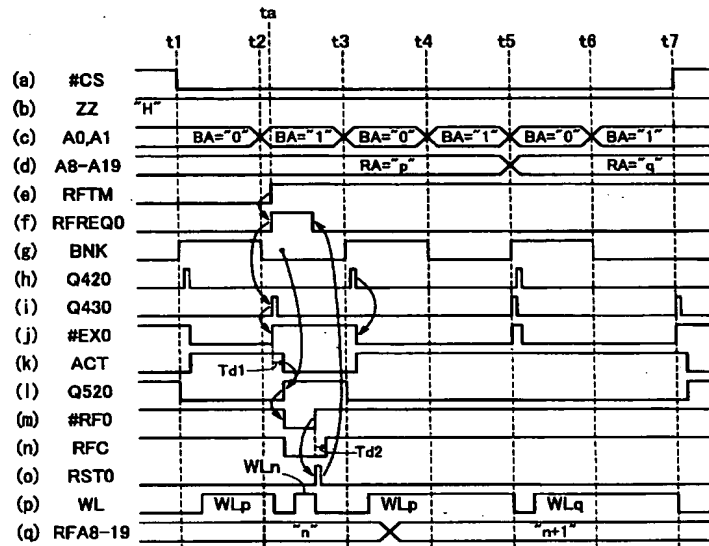
【図11】



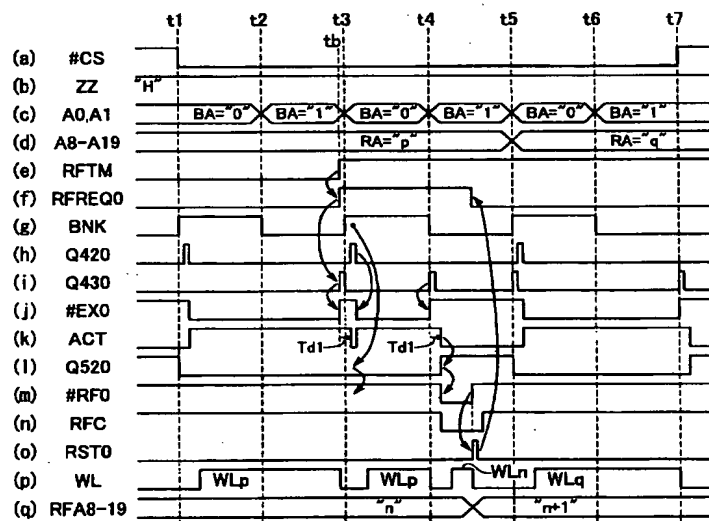
【図13】



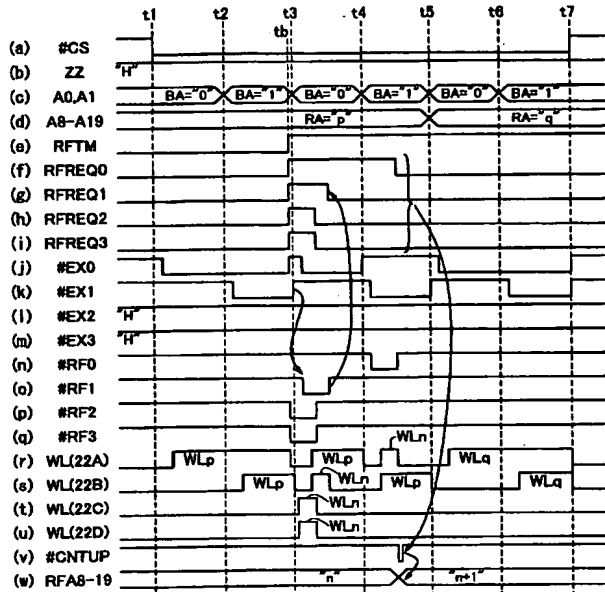
【図 12】



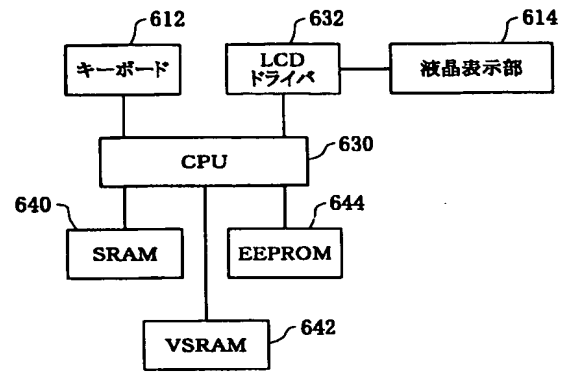
【図 15】



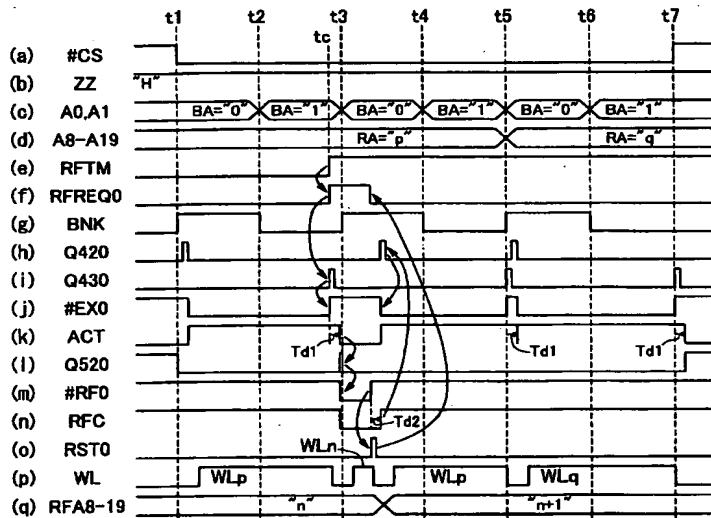
【図 16】



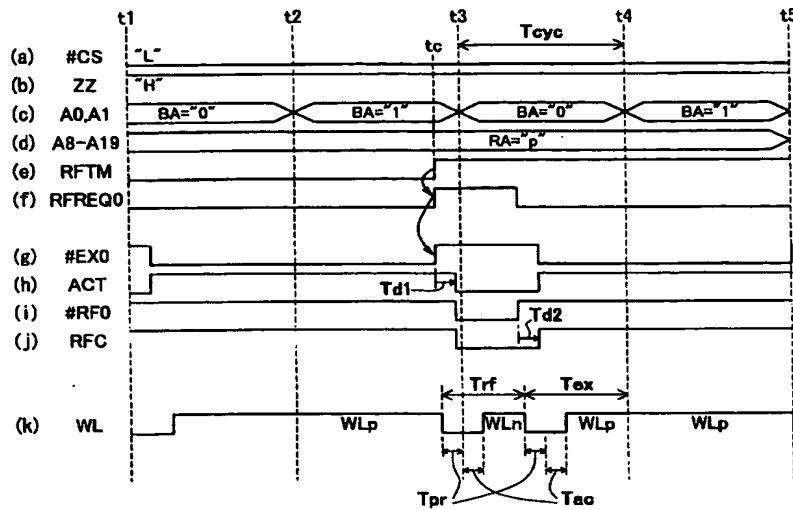
【図 22】



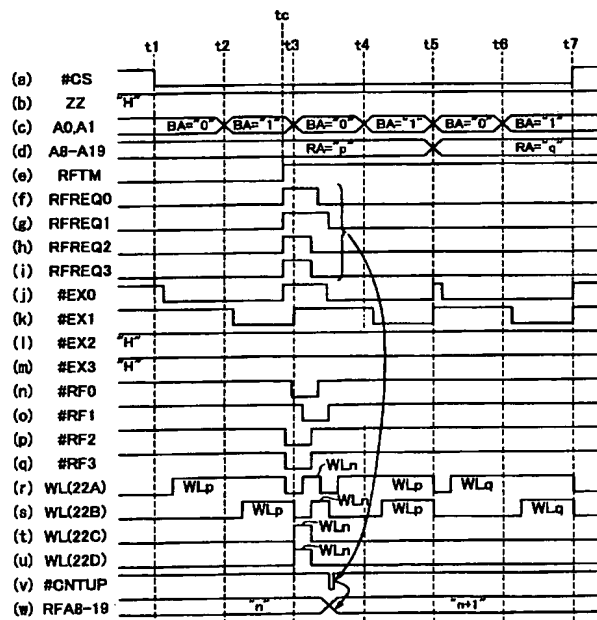
【図 17】



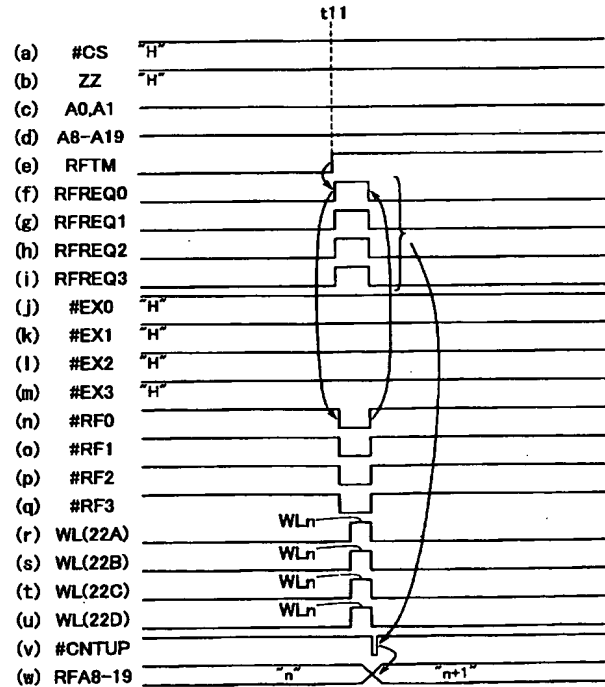
【図 18】



【図 19】



【図 20】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to activation control of the word line in semiconductor memory equipment.

[0002]

[Description of the Prior Art] DRAM and SRAM are used as semiconductor memory equipment. DRAM is cheap compared with SRAM, and although it is large capacity, refresh actuation is required as known well. On the other hand, although SRAM of refresh actuation is unnecessary and it is easy to use, compared with DRAM, it is expensive, and capacity is small.

[0003] It considers as semiconductor memory equipment equipped with both of advantages of DRAM and SRAM, and false [SRAM] (referred to as VSRAM or PSRAM) is known. False [SRAM] builds in the refresh control section and is performing refresh actuation inside while it is equipped with the memory cell array containing the same dynamic mold memory cell as DRAM. For this reason, the external device (for example, CPU) connected to false [SRAM] can access false [SRAM], without being conscious of refresh actuation (read-out and writing of data). Such a description false [SRAM] is called "permeability of refresh."

[0004]

[Problem(s) to be Solved by the Invention] By the way, in the cycle in which access is performed in false [SRAM], the word line chosen by the address is activated and deactivated for every cycle. However, when the same word line was activated in a continuous cycle and activation and deactivation of a word line were repeated for every cycle, there was a problem that a current was consumed vainly. In addition, this is a problem not only common to false [SRAM] but the semiconductor memory equipment which repeats activation and deactivation of a word line for every cycle.

[0005] This invention is made in order to solve the conventional technical problem mentioned above, and it aims at offering the technique in which the consumed electric current accompanying activation of the word line in semiconductor memory equipment can be reduced.

[0006]

[The means for solving a technical problem, and its operation and effectiveness] In order to attain the above-mentioned purpose, the equipment of this invention Two or more memory cell blocks with which it is semiconductor memory equipment and the memory cell of a dynamic mold was arranged in the shape of a matrix, The block address for choosing one memory cell block of the arbitration of the memory cell blocks of said plurality, The line address for choosing one of two or more word lines in the selected memory cell block, The address input section into which the ***** address is inputted, and the data I/O section for outputting and inputting the data corresponding to the memory cell chosen according to said address, It has a word line activation control section for controlling activation of said word line. Said word line activation control section Said line address is equipped with the line address transition detecting element for detecting whether it is changeful. Said word line activation control section (a) It is the cycle in which read-out or the writing of data is possible to said memory cell.

Continuously, when [1st] change of said line address is not detected [in / in said cycle using the address containing the same line address / said continuous cycle] by said line address transition detecting element The word line within the 1st memory cell block activated in the cycle of the beginning of said continuous cycles When holding in the condition of having been activated is possible to the last cycle of said continuous cycles and the word line within the memory cell block of the (b) above 1st has become an activated state, without being deactivated In being the 2nd as which refresh was required from said 1st memory cell block On condition that read-out or the writing of data is not performed in said 1st memory cell block It is possible to make the word line of the activated state within said 1st memory cell block deactivate. (c) within the predetermined period after refresh was required from said 1st memory cell block In being the 3rd as which read-out or the writing of data was required from said 1st memory cell block It is characterized by postponing activation of the refresh in said 1st memory cell block, and activating the word line for performing read-out or the writing of data in said 1st memory cell block.

[0007] With this semiconductor memory equipment, it has the word line activation control section, and when the cycle using the address containing the same line address continues, a word line activation control section can be held, where the word line activated in the first cycle is activated to the last cycle for which the same line address is used. And a word line activation control section can make the word line of an activated state deactivate without waiting for termination of the last cycle, when refresh is required.

[0008] If such a word line activation control section is used, since it is not necessary to repeat activation and deactivation of a word line for every cycle, in the period when refresh can be performed in semiconductor memory equipment at, and refresh is not performed, it will become possible to reduce the consumed electric current accompanying activation of a word line.

[0009] In addition, the effectiveness using this equipment becomes remarkable when read-out and the writing of data are performed to the memory cell on the activated word line in two or more cycles among two or more cycles to the last cycle from the first cycle.

[0010] Moreover, since the word line for postponing activation of refresh and performing read-out or the writing of data can be activated when read-out or the writing of data is required within the predetermined period after refresh was required, it becomes possible to give priority to and perform read-out or the writing of data.

[0011] In above equipment, in said address input section, the train address is also inputted into coincidence with said line address, and, as for said line address, it is desirable to be assigned to two or more bits in the high order of said addresses which consist of two or more bits.

[0012] Thus, if a line address is assigned to two or more bits in a high order, since a line address will stop being able to change comparatively easily, it becomes possible to be able to raise the frequency held where a word line is activated, consequently to reduce the consumed electric current accompanying activation of a word line.

[0013] As for the predetermined period after refresh was required from said 1st memory cell block, in above equipment, it is desirable that it is almost equal to a period required for the precharge in said 1st memory cell block.

[0014] If it carries out like this, since precharge can be performed during a cycle period just before being the cycle as which read-out or the writing of data is required, it becomes possible to set up one cycle period comparatively short.

[0015] In above equipment said word line activation control section In said 1st case, while it is possible to hold in the condition of having been activated to said last cycle, without being deactivated, the word line within the 1st memory cell block activated in said first cycle Furthermore, it sets in the cycle of the arbitration before said last cycle after said first cycle. When read-out or the writing of data is performed to the memory cell within the 2nd memory cell block of different arbitration from said 1st memory cell block The word line within the 2nd [said] memory cell block activated in the cycle of said arbitration While holding in the condition of having been activated is possible to said last cycle, and being the case where it is said 2nd [the] and requiring refresh from said 1st memory cell block, without being

deactivated In the ** case as which refresh is required from said 2nd memory cell block It is possible to make the word line of the activated state within said 2nd memory cell block deactivate, on condition that read-out or the writing of data is not performed in said 2nd memory cell block, and it is good to also make.

[0016] In addition, the cycle of the arbitration before the last cycle in the back [cycle / first] may be a different cycle from the last cycle, and may be the last cycle.

[0017] If such a word line activation control section is used, the word line in two or more memory cell blocks can be held in the condition of having been activated to coincidence. Therefore, in the period when refresh is not performed, it becomes possible to be able to raise the frequency where read-out and the writing of data are performed, to the memory cell on the activated word line, consequently to reduce considerably the consumed electric current accompanying activation of a word line. And when refresh is required, the word line of an activated state can be made to be able to deactivate without waiting for termination of the last cycle, and refresh can be performed.

[0018] Moreover, two or more memory cell blocks with which, as for the approach of this invention, the memory cell of a dynamic mold was arranged in the shape of a matrix, The block address for choosing one memory cell block of the arbitration of the memory cell blocks of said plurality, The line address for choosing one of two or more word lines in the selected memory cell block, In semiconductor memory equipment equipped with the address input section into which the ***** address is inputted, and the data I/O section for outputting and inputting the data corresponding to the memory cell chosen according to said address Are an approach for controlling activation of said word line, and the (a) aforementioned memory cell is received. Are the cycle in which read-out or the writing of data is possible, and said cycle using the address containing the same line address continues. In being the 1st by which change of said line address is not detected in said continuous cycle The word line within the 1st memory cell block activated in the cycle of the beginning of said continuous cycles When holding in the condition of having been activated is possible to the last cycle of said continuous cycles and the word line within the memory cell block of the (b) above 1st has become an activated state, without being deactivated In being the 2nd as which refresh was required from said 1st memory cell block On condition that read-out or the writing of data is not performed in said 1st memory cell block It is possible to make the word line of the activated state within said 1st memory cell block deactivate. (c) within the predetermined period after refresh was required from said 1st memory cell block In being the 3rd as which read-out or the writing of data was required from said 1st memory cell block It is characterized by postponing activation of the refresh in said 1st memory cell block, and activating the word line for performing read-out or the writing of data in said 1st memory cell block.

[0019] Also when using this approach, the same operation and effectiveness as the case where the equipment of this invention is used are done so.

[0020] In addition, this invention can be realized with various gestalten, for example, can be realized with gestalten, such as the control approach of semiconductor memory equipment, the activation control approach of the word line, the semi-conductor memory system equipped with semiconductor memory equipment and a control unit, and semiconductor memory equipment, and electronic equipment equipped with semiconductor memory equipment.

[0021]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained in order of the following based on an example.

A. the terminal configuration of a memory chip, and outline [of operating state]: -- interior whole configuration of B. memory chip: -- internal configuration [of C. word line activation control section]: -- actuation [of D. word line activation control section]: -- example of application: [0022] to the :E. electronic equipment of operation in the of operation (when there is refresh demand) :D3. standby cycle and the SUNUZU condition in the of operation (when there is no refresh demand) :D2. operation cycle in a D1. operation cycle A. The terminal configuration of a memory chip, and the outline of operating state : drawing 1 is the explanatory view showing the configuration of the terminal of the memory chip 300 as an example of this invention. The memory chip 300 has the following terminals.

[0023] A0 - an A19:address input terminal (20), a #CS:chip-select input terminal, ZZ:SUNUZU input terminal, a #WE:write-enable input terminal, a #OE:output-enable input terminal, a #LB:lower-byte enabling input terminal, a #UB:high-order-byte enabling input terminal, IO0-IO15: I / O data terminal (16).

[0024] In addition, in the following explanation, the same sign as a terminal name and a signal name is used. That by which "#" is given to the head of a terminal name (signal name) means that it is negative logic. Although the address input terminals A0-A19 and two or more I / O data terminals IO0-IO15 are formed, respectively, by drawing 1, it is simplified and they are drawn.

[0025] This memory chip 300 is constituted as false [which can be accessed in the same procedure as the usual asynchronous type SRAM / SRAM] (VSRAM). However, since the memory cell of a dynamic mold is used unlike SRAM, refresh is needed within a predetermined period. For this reason, the refresh control section containing the refresh timer 70 is built in the memory chip 300. refresh actuation according read-out of the data from an external device (control device), and actuation of writing to "external access", a call, and the built-in refresh control section with this specification -- "internal refresh" -- or it is only called "refresh."

[0026] Chip select signal #CS and the SUNUZU signal ZZ which are shown in drawing 1 are a signal for controlling the operating state of a memory chip 300. Drawing 2 is the explanatory view showing the partition of the operating state of the memory chip 300 according to the signal level of chip select signal #CS and the SUNUZU signal ZZ. In addition, in this specification, "H level" means "1" level of the two level of a binary signal, and "L level" means "0" level.

[0027] When chip select signal #CS is [the SUNUZU signal ZZ] H level on L level (active), a read/write operation cycle (it is only hereafter called an "operation cycle" or a "read/write cycle") is performed. In an operation cycle, activation of external access is possible and internal refresh is performed timely.

[0028] A standby cycle is performed when both chip select signal #CS and the SUNUZU signal ZZ are H level. In a standby cycle, since activation of external access is forbidden, let all word lines be non-active states. However, when internal refresh is performed, the word line specified by the refresh address is activated.

[0029] If the SUNUZU signal ZZ is set to L level when chip select signal #CS is H level (inactive), a memory chip 300 will shift to a SUNUZU condition (it is also called a "powered down state"). In the SUNUZU condition, it has stopped except a circuit required for refresh actuation. Since there is very little power consumption in a SUNUZU condition, it is suitable for backup of the data in memory.

[0030] In addition, by the operation cycle, refresh actuation is performed according to the 1st refresh mode, and is performed according to the 2nd refresh mode in a standby cycle and the SUNUZU condition. In the 1st refresh mode, after the refresh timer 70 generates a refresh timing signal, refresh is carried out according to the operation situation of external access. On the other hand, in the 2nd refresh mode, since external access is not carried out, shortly after the refresh timer 70 generates a refresh timing signal, refresh is carried out. Thus, this memory chip 300 is refreshed according to the refresh mode which was suitable for three operating state, respectively. About the detail of the refresh actuation in these two modes, it mentions later.

[0031] The addresses A0-A19 shown in drawing 1 are 20 bits, and specify the address of 1 mega word. Moreover, I / O datas IO0-IO15 are 16-bit data for 1 word. That is, one value of the addresses A0-A19 supports 16 bits (1 word), and 16-bit I / O datas IO0-IO15 can be outputted and inputted at once.

[0032] In an operation cycle, if write enable signal #WE is set to L level, a light cycle will be performed, and if set to H level, a read cycle will be performed. Moreover, if output enable signal #OE is set to L level, the output from the I / O data terminals IO0-IO15 will be attained. Lower byte enable signal #LB and high-order byte enabling input signal #UB are the control signals for performing read-out and writing only about any 1 byte in the lower byte of 1 word (16 bits), and a high-order byte. For example, if lower byte enable signal #LB is set as L level and high-order byte enable signal #UB is set as H level, read-out and writing will be performed only about 8 bits of 1-word low order. In addition, the power supply terminal is omitted in drawing 1.

[0033] Drawing 3 is a timing chart which shows the outline of actuation of a memory chip 300. It is judged at any time according to change of chip select signal #CS and the SUNUZU signal ZZ any of three operating state (operation, standby, SUNUZU) shown in drawing 2 they are. The first three cycles of drawing 3 are operation cycles. In an operation cycle, read-out (read cycle) and either which is written in (light cycle) are performed according to the level of write enable signal #WE. In addition, the shortest period Tcyc of change of the addresses A0-A19 is equivalent to the cycle time (called a "cycle period") of this memory chip 300. The cycle time Tcyc is set as the value of the range for about 50 to about 100ns.

[0034] In the 4th cycle of drawing 3, since chip select signal #CS has started on H level, a standby cycle is started. In the 5th cycle, further, since the SUNUZU signal ZZ has fallen on L level, a memory chip 300 will be in a SUNUZU condition.

[0035] B. The whole interior configuration of a memory chip : drawing 4 is the block diagram showing the internal configuration of a memory chip 300. This memory chip 300 is equipped with the data input output buffer 10, the memory cell array 20, and the address buffer 60.

[0036] The memory cell array 20 is classified into four blocks 20A-20D. 1st block 20A is equipped with memory cell subarray 22A, line decoder 24A, train decoder 26A, and gate 28A. Other blocks 20B-20D are the same. Since the configuration of each blocks 20A-20D is almost the same, below, 1st block 20A and other circuits relevant to this are mainly explained.

[0037] One configuration of block 20A is the same as the memory cell array of typical DRAM. Namely, as for subarray 22A, two or more memory cells of a 1 transistor 1 capacitor mold are arranged in the shape of a matrix. The word line and the bit line pair (called a data-line pair) are connected to each memory cell. Line decoder 24A contains the line driver, according to the line address supplied, chooses one of two or more word lines in subarray 22A, and is activated. Train decoder 26A contains the train driver, and chooses the bit line pair for 1 word (16 bits) in two or more sets of bit line pairs in subarray 22A as coincidence according to the train address supplied. Moreover, gate 28A includes the readout circuitry and the write-in circuit, and enables an exchange of the data input output buffer 10, subarray 22A, and the data of a between. In addition, a precharge circuit, a sense amplifier, etc. which are not illustrated are formed in block 20A.

[0038] An address buffer 60 is a circuit which supplies the 20-bit addresses A0-A19 given from the external device to other internal circuitries. The 2-bit low-ranking addresses A0-A1 are most used as a block address for choosing any one of four blocks 20A-20D. Moreover, the 18-bit address of a high order is used as a line address and the train address rather than block addresses A0-A1. In this example, the 6-bit addresses A2-A7 of a high order are used by block addresses A0-A1 as the train address, and the 12-bit addresses A8-A19 of a high order are most used as a line address from them. Therefore, one of four blocks 20A-20D is chosen by block addresses A0-A1, and the memory cell for 1 word (16 bits) is chosen by the train addresses A2-A7 and line addresses A8-A19 from the selected blocks. The data for 1 word corresponding to the selected memory cell are read or written in through the data input output buffer 10. That is, an external device can access the memory cell for 1 word within one block by inputting the one addresses A0-A19 at coincidence.

[0039] The line PURIDE coders 30A-30D, the block controllers 40A-40D, and the refresh demand signal generating circuits 50A-50D are connected to each blocks 20A-20D at this order, respectively. In the memory chip 300, the refresh timer 70, the refresh counter controller 90, the refresh counter 100, and the line address transition detector (it is also hereafter called a "RATD circuit") 130 are formed further.

[0040] The refresh timer 70 of drawing 4 is a circuit which generates refresh timing signal RFTM for every fixed refresh period. The refresh timer 70 is constituted by for example, the ring oscillator. The refresh period is set as about 32 microseconds.

[0041] The refresh demand signal generating circuits 50A-50D generate the refresh demand signals RFREQ0-RFREQ3 for each blocks 20A-20D according to refresh timing signal RFTM supplied from the refresh timer 70. These refresh demand signals RFREQ0-RFREQ3 are supplied to the corresponding block controllers 40A-40D, respectively.

[0042] The block addresses A0-A1 given from the external device with the refresh demand signals

RFREQ0-RFREQ3 are supplied to the block controllers 40A-40D. The refresh demand signals RFREQ0-RFREQ3 mean what refresh actuation should be started for in four blocks 20A-20D. Moreover, by the operation cycle, block addresses A0-A1 show of any of four blocks 20A-20D external access is demanded. Then, the block controllers 40A-40D arbitrate external access and internal refresh to four blocks according to these signals RFREQ0-RFREQ3, and A0-A1. Specifically, this mediation is performed by setting up the output level of external access implementation signal #EX0-#EX3, and refresh implementation signal #RF0 - #RF3, respectively.

[0043] The line PURIDE coders 30A-30D choose one of the line addresses A8-A19 given from the external device, and the refresh addresses RFA8-RFA19 given from the refresh counter 100 according to the level of external access implementation signal #EX0-#EX3, refresh implementation signal #RF0 - #RF3, and supply it to the line decoders 24A-24D. In addition, two kinds of these addresses A8-A19 and selection of RFA8-RFA19 are independently performed for every line PURIDE coder.

[0044] In addition, about the refresh demand signal generating circuits 50A-50D, the block controllers 40A-40D, and the configuration and actuation of the line PURIDE coders 30A-30D, it mentions later further.

[0045] The refresh counter controller 90 detects whether refresh actuation was completed according to the same refresh addresses RFA8-RFA19 in all four blocks 20A-20D. This detection is performed by investigating level change of four refresh demand signals RFREQ0-RFREQ3 so that it may mention later. If the refresh actuation in four blocks 20A-20D is completed, the refresh counter controller 90 will supply count-up signal #CNTUP to the refresh counter 100. The refresh counter 100 counts up one value of refresh addresses RFA8-RFA19 according to this count-up signal #CNTUP.

[0046] Although the memory chip 300 has the controller which controls the operating state of the circuit in a chip other than the circuit shown in drawing 4 according to chip select signal #CS or the SUNUZU signal ZZ, the controller which controls an I/O condition according to various kinds of enable signal #WE(s), #OE, #LB, and #UB, illustration is expedient-upper-omitted in drawing 4.

[0047] In addition, the data input output buffer 10 and address buffer 60 of drawing 4 are equivalent to the data I/O section and the address input section in this invention, respectively. Moreover, in drawing 4, the circuit part (70 30A-30D, 40A-40D, 50A-50D, 90,100,130) except the data input output buffer 10, an address buffer 60, and the memory cell array 20 is controlling activation of the word line in the memory cell array 20, and is equivalent to the word line activation control section of this invention.

[0048] In addition, the word line activation control section also has the function as a refresh control section which controls refresh actuation of the memory cell array 20. Especially the circuit part that consists of line PURIDE coders 30A-30D, block controllers 40A-40D, and refresh demand signal generating circuits 50A-50D has the function as a mediation circuit to perform mediation with internal refresh and external access.

[0049] C. -- internal configuration [of a word line activation control section]: -- drawing 5 is the block diagram showing the internal configuration of 1st block controller 40A of drawing 4. In addition, it has the configuration as drawing 5 with other almost same block controllers 40B-40D.

[0050] Block controller 40A is equipped with the external access implementation signal generating circuit 42 which generates external access implementation signal #EX0, the refresh implementation signal generating circuit 44 which generates refresh implementation signal #RF0, and the reset signal generating circuit 46 which generates a reset signal RST0 according to refresh implementation signal #RF0. Chip select signal #CS, block addresses A0-A1, and the refresh demand signal RFREQ0 from refresh demand signal generating circuit 50A are supplied to the external access implementation signal generating circuit 42 and the refresh implementation signal generating circuit 44, respectively. Moreover, refresh implementation signal #RF0 is supplied to the external access implementation signal generating circuit 42, and external access implementation signal #EX0 is supplied to the refresh implementation signal generating circuit 44. Furthermore, the line address transition signal RAT (it is hereafter called a "RAT signal") is supplied to the external access implementation signal generating circuit 42 from the line address transition detector (RATD circuit) 130.

[0051] When it detects whether the line address transition detector (RATD circuit) 130 has change in

any 1 bits or more in the 12-bit line addresses A8-A19 supplied from the external device and change is detected, it is the circuit which outputs a RAT signal.

[0052] Drawing 6 is the block diagram showing the internal configuration of the RATD circuit 130 of drawing 5. The RATD circuit 130 is equipped with 12 transition detectors 131 corresponding to each bit of the 12-bit addresses A8-A19, and 12 input OR gates 138. Each transition detector 131 has an inverter 132, two pulse generating circuits 133,134, and OR gates 135. As a pulse generating circuit 133,134, a one-shot multivibrator is used, for example.

[0053] The 1st pulse generating circuit 133 generates one pulse which has predetermined pulse width according to the rising edge of the address bit A8. Moreover, an inverter 132 and the 2nd pulse generating circuit 134 generate one pulse which has predetermined pulse width according to the falling edge of the address bit A8. Therefore, from the OR gate 135, one pulse is outputted at a time for every edge of the rising edge of the address bit A8, and a falling edge. This is the same about other address bit A9-A19.

[0054] The output of 12 transition detectors 131 is inputted into 12 input OR gate 138. Therefore, change of the level of one or more bits in the 12-bit line addresses A8-A19 outputs a pulse-like RAT signal from the OR gate 138. In addition, as shown in drawing 4, this RAT signal is supplied to four block controllers 40A-40D, respectively.

[0055] Refresh timing signal RFTM is inputted into refresh demand signal generating circuit 50A of drawing 5. Refresh demand signal generating circuit 50A starts the refresh demand signal RFREQ0 on H level immediately according to the rising edge of refresh timing signal RFTM. Moreover, the reset signal RST0 is supplied to refresh demand signal generating circuit 50A from the reset signal generating circuit 46, and the refresh demand signal RFREQ0 is returned to L level according to a reset signal RST0. Thereby, the refresh demand to block 20A is canceled.

[0056] Drawing 7 is the block diagram showing the internal configuration of the external access implementation signal generating circuit 42 of drawing 5. The external access implementation signal generating circuit 42 is equipped with the RS latch 410 and the inverter 411, the set signal generation circuit 420, and the reset-signal generation circuit 430. The output signal Q420 from the set signal generation circuit 420 is inputted into the RS latch's 410 set terminal S, and the output signal Q430 from the reset-signal generation circuit 430 is inputted into the RS latch's 410 reset terminal R.

[0057] The set signal generation circuit 420 is equipped with an inverter 421, a decoder 422, a delay circuit 425, a pulse generating circuit 429, and the three AND gates 423,426,428.

[0058] Chip select signal #CS reversed by the inverter 421 and the output signal of a decoder 422 are given to the 1st AND gate 423. The 1st AND gate 423 outputs the BNK signal of H level, when chip select signal #CS is set to L level (active) and the value of block addresses A0-A1 is set to "0" which shows block 20A. The BNK signal of H level means that external access is demanded from 1st block 20A.

[0059] Refresh implementation signal #RF0 and refresh implementation signal #RF0 through a delay circuit 425 are given to the 2nd AND gate 426. The 2nd AND gate 426 outputs the RFC signal which has L level period when only the predetermined delay period Td2 (it mentions later) extended L level (active) period of refresh implementation signal #RF0.

[0060] The BNK signal and the RFC signal are given, and the 3rd AND gate 428 is the period when an RFC signal serves as L level, and restricts the output of a BNK signal to the 3rd AND gate 428. And the output of the 3rd AND gate 428 is given to a pulse generating circuit 429.

[0061] The set signal generation circuit 420 supplies a pulse signal Q420 to the RS latch's 410 set terminal S, when it judges whether external access is demanded from 1st block 20A relevant to 1st block controller 40A and there is an external access request. However, the set signal generation circuit 420 does not supply a pulse signal Q420 to the RS latch's 410 set terminal S at the period (namely, that refresh implementation signal #RF0 is active (L level), and the becoming period and the subsequent predetermined period Td2) accompanying implementation of refresh, even when external access is demanded. the RS latch 410 and an inverter 411 -- a pulse signal Q420 -- following -- external access implementation signal #EX0 -- being active (L level) -- it sets up. in addition, external access

implementation signal #EX0 -- being active (L level) -- if it becomes, the word line chosen by the line addresses A8-A19 in block 20A (drawing 4) will be activated, and external access will be carried out.

[0062] The reset-signal generation circuit 430 is equipped with an inverter 431, the AND gate 432, 3 input OR gate 436, and two pulse generating circuits 434,438. The BNK signal and the refresh demand signal RFREQ0 which were reversed by the inverter 431 are supplied to the AND gate 432. The 1st pulse generating circuit 434 is a circuit which generates a pulse in connection with the rising edge of chip select signal #CS. The output signal of the AND gate 432, the RAT signal, and the output signal from the 1st pulse generating circuit 434 are inputted into 3 input OR gate 436. And the output of the OR gate 436 is given to the 2nd pulse generating circuit 438.

[0063] In the following three cases, the reset-signal generation circuit 430 supplies a pulse signal Q430 at the RS latch's 410 reset terminal R. (1) When there is no demand of external access to 1st block 20A and there is a refresh demand. (2) When line addresses A8-A19 change. (3) When chip select signal #CS starts on H level (inactive). the RS latch 410 and an inverter 411 -- a pulse signal Q430 -- following -- external access implementation signal #EX0 -- being inactive (H level) -- it sets up.

[0064] Drawing 8 is the block diagram showing the internal configuration of the refresh implementation signal generating circuit 44 of drawing 5 . The refresh implementation signal generating circuit 44 is equipped with the AND gate 510, the pulse generating circuit 511, the inverter 512, and the refresh demand signal-control circuit 520 for controlling the output of the refresh demand signal RFREQ0.

[0065] The refresh demand signal RFREQ0 and the control signal Q520 from a control circuit 520 are supplied to the AND gate 510. The AND gate 510 can tell the refresh demand signal RFREQ0 to a pulse generating circuit 511, when a control signal Q520 serves as H level. A pulse generating circuit 511 generates the pulse which has predetermined pulse width according to the rising edge of the output signal from the AND gate 510. It is reversed with an inverter 512 and the generated pulse is outputted as refresh implementation signal #RF0.

[0066] The control circuit 520 is equipped with an inverter 521, a decoder 522, the AND gate 523, a delay circuit 525, NAND gate 526, and the NOR gate 528. The AND gate 523 outputs a BNK signal as well as the 1st AND gate 423 of drawing 7 . NAND gate 526 outputs the ACT signal which has H level period when only the predetermined delay period Td1 (it mentions later) extended L level (active) period of external access implementation signal #EX0 like the 2nd AND gate 426 of drawing 7 . And a BNK signal and an ACT signal are given to the NOR gate 528.

[0067] A control circuit 520 supplies the control signal Q520 of H level to the AND gate 510, when it judges whether external access is demanded from 1st block 20A relevant to 1st block controller 40A and there is no external access request. if there is a refresh demand at this time -- refresh implementation signal #RF0 -- being active (L level) -- if it is set up and there is no refresh demand -- being inactive (H level) -- it is set up. However, with a control circuit 520 having active external access implementation signal #EX0, even when there is no above-mentioned external access request (L level), the control signal Q520 of L level is supplied to the AND gate 510, and it prevents that refresh implementation signal #RF0 is set as L level (active) at the becoming period and the subsequent predetermined period Td1. after [in addition,] a control signal is set to H level in this case -- refresh implementation signal #RF0 -- being active (L level) -- it is set up.

[0068] Moreover, a control circuit 520 supplies the control signal Q520 of L level to the AND gate 510, when there is a demand of external access to 1st block 20A. in this case -- even if there is a refresh demand -- refresh implementation signal #RF0 -- being inactive (H level) -- it is set up. after [then,] refresh implementation signal #RF0 is held while it has been inactive until external access to block 20A is completed (H level), and external access is completed -- being active (L level) -- it is set up.

[0069] in addition, refresh implementation signal #RF0 -- being active (L level) -- refresh actuation will be started if it becomes. The word line chosen by the refresh addresses RFA8-RFA19 in block 20A (drawing 4) is specifically activated, and refresh is carried out about all the memory cells on the word line.

[0070] The reset signal generating circuit 46 of drawing 5 generates the short pulse-like reset signal RST0 according to the rising edge of refresh implementation signal #RF0. This reset signal generating

circuit 46 consists of one-shot multivibrators. As mentioned above, a reset signal RST0 is supplied to refresh demand signal generating circuit 50A, and, thereby, the refresh demand to block 20A is canceled.

[0071] External access implementation signal #EX0 and refresh implementation signal #RF0 which were outputted from block controller 40A (drawing 5) are supplied to line PURIDE coder 30A in block 20A (drawing 4).

[0072] Drawing 9 is the block diagram showing the internal configuration of 1st line PURIDE coder 30A of drawing 4 . Line PURIDE coder 30A is equipped with two switch & latch circuits 34 and 36 and judgment circuits 38. In addition, other line PURIDE coders 30B-30D have the same configuration as drawing 9 .

[0073] External access implementation signal #EX0 and refresh implementation signal #RF0 are supplied to the judgment circuit 38 from block controller 40A. The judgment circuit 38 supplies the control signal LEX according to external access implementation signal #EX0 to the 1st switch & latch circuit 34, and supplies the control signal LRF according to refresh implementation signal #RF0 to the 2nd switch & latch circuit 36.

[0074] When external access implementation signal #EX0 is active (L level), the 1st switch & latch circuit 34 latches the line addresses A8-A19 supplied from the external device according to a control signal LEX, and supplies them to line decoder 24A in 1st block 20A. Moreover, the 2nd switch & latch circuit 36 has forbidden that output in this case according to a control signal LRF.

[0075] On the other hand, when refresh implementation signal #RF0 is active (L level), according to a control signal LRF, the 2nd switch & latch circuit 36 latches the refresh addresses RFA8-RFA19 supplied from the refresh counter 100 (drawing 4), and supplies them to line decoder 24A. Moreover, the 1st switch & latch circuit 34 has forbidden that output in this case according to a control signal LEX.

[0076] in addition, block controller 40A (drawing 5) -- two operation signal #EX(s)0 and #RF0 -- coincidence -- being active (L level) -- it is constituted so that it may not carry out. When two operation signal #EX(s)0 and #RF0 are all inactive (H level), line PURIDE coder 30A does not supply the addresses A8-A19, and RFA8-RFA19 to line decoder 24A.

[0077] Thus, according to level, two RF, operation signal #EX0 and #RF0, line PURIDE coder 30A chooses one of line addresses A8-A19 and the refresh addresses RFA8-RFA19, and supplies it to line decoder 24A in block 20A (drawing 4). And line decoder 24A makes an activated state one word line in block 20A chosen according to each addresses A8-A19, or RFA8-RFA19, when line addresses A8-A19 or refresh addresses RFA8-RFA19 are supplied from line PURIDE coder 30A.

[0078] D. -- actuation [of a word line activation control section]: -- : drawing 10 of operation in a D1. operation cycle is a timing chart which shows actuation of the word line activation control section about 1st block 20A in an operation cycle (when there is no refresh demand). In an operation cycle, chip select signal #CS (drawing 10 (a)) serves as L level (active), and the SUNUZU signal ZZ (drawing 10 (b)) serves as H level. In drawing 10 , six operation cycles which begin from each time of day t1-t6 are continuing.

[0079] In the operation cycle, drawing 10 shows the case where there is no rising edge in refresh timing signal RFTM (drawing 10 (e)) given to refresh demand signal generating circuit 50A of drawing 5 and where it does not generate, when there is no refresh demand. In this case, the refresh demand signal RFREQ0 (drawing 10 (f)) given to 1st block controller 40A is still L level. Therefore, refresh implementation signal #RF0 (drawing 10 (m)) outputted from the refresh implementation signal generating circuit 44 is still H level (inactive), and the RFC signal (drawing 10 (n)) generated within the external access implementation signal generating circuit 42 is still H level. Moreover, the reset signal RST0 (drawing 10 (o)) outputted from the reset signal generating circuit 46 is still L level.

[0080] The value of block addresses A0-A1 (drawing 10 (c)) is "0", and the 1st, 3rd, and 5th cycle which begins from time of day t1, t3, and t5 requires external access to 1st block 20A. Similarly, the value of block addresses A0-A1 is "1", and the 2nd, 4th, and 6th cycle which begins from time of day t2, t4, and t6 requires external access to 2nd block 20B. At this time, the BNK signal (drawing 10 (g))

generated within 1st block controller 40A is set as H level in the 1st, 3rd, and 5th cycle.

[0081] moreover, the 1- four cycles which the 4th follows -- the value of line addresses A8-A19 (drawing 10 (d)) -- "p" -- becoming -- **** -- the 5- in two cycles which the 6th follows, the value of line addresses A8-A19 is "q."

[0082] The condition of the word line WL in subarray 22A (drawing 4) of 1st block 20A is shown in drawing 10 (p). In addition, although two or more word lines are contained in subarray 22A, two or more word lines are not activated by coincidence. For this reason, in drawing 10 (p), the word line by which sequential activation is carried out within subarray 22A is drawn on the same timing chart. In addition, the word lines WLp and WLq which have started on H level show the activated word line, respectively.

[0083] In the 1st cycle, since external access to 1st block 20A is demanded, the set signal generation circuit 420 of drawing 7 outputs a pulse signal Q420 (drawing 10 (h)) in time of day t1. And the RS latch 410 and an inverter 411 set external access implementation signal #EX0 (drawing 10 (j)) as L level (active) according to a pulse signal Q420. If external access implementation signal #EX0 is set to L level (active), 1st line PURIDE coder 30A of drawing 9 will choose line addresses A8-A19, and will supply them to 1st line decoder 24A. Therefore, within subarray 22A of 1st block 20A, the word line WLp of eye "p" watch were chosen by line addresses A8-A19 is activated. And in the 1st cycle, external access is carried out to the memory cell chosen by the train addresses A2-A7 on the activated word line WLp.

[0084] The 2nd cycle does not require external access to 1st block 20A. However, the reset-signal generation circuit 430 of drawing 7 does not output a pulse signal Q430. For this reason, external access implementation signal #EX0 is held with L level (active). At this time, within subarray 22A, while the word line WLp of eye "p" watch had been activated, it is held. In addition, in the 2nd cycle, since external access to 1st block 20A is not demanded, external access is not carried out to the memory cell in subarray 22A.

[0085] In the 3rd cycle, since external access to 1st block 20A is demanded, a pulse signal Q420 is outputted like the 1st cycle. However, since it already has L level (active), external access implementation signal #EX0 is held with L level. Moreover, the word line WLp of eye "p" watch in subarray 22A is held while it had been activated, and external access is carried out to the memory cell on a word line WLp.

[0086] In addition, since external access implementation signal #EX0 is not affected, you may make it not generate the pulse signal Q420 generated in the 3rd cycle, for example using the ACT signal of drawing 8 etc.

[0087] In the 4th cycle, since external access to 1st block 20A is not demanded, external access implementation signal #EX0 is held like the 2nd cycle with L level (active). Although it is held at this time while the word line WLp of eye "p" watch in subarray 22A had also been activated, external access is not carried out to the memory cell in subarray 22A.

[0088] In the 5th cycle, the value of line addresses A8-A19 is changing from "q" to "r." At this time, the RATD circuit 130 of drawing 5 detects change of a line address in time of day t5, and outputs a RAT signal. And the reset-signal generation circuit 430 of drawing 7 outputs a pulse signal Q430 (drawing 10 (i)) according to a RAT signal. The RS latch 410 and an inverter 411 set external access implementation signal #EX0 as H level (inactive) according to a pulse signal Q430. At this time, the word line WLp of eye "p" watch in subarray 22A is deactivated.

[0089] Moreover, the 5th cycle requires external access to 1st block 20A. Therefore, like the 1st and 3rd cycle, a pulse signal Q420 is outputted and external access implementation signal #EX0 is again set as L level (active). At this time, within subarray 22A, the word line WLq of eye "q" watch were chosen by line addresses A8-A19 is activated, and external access is carried out to the memory cell on a word line WLq.

[0090] In the 6th cycle, since external access to 1st block 20A is not demanded, external access implementation signal #EX0 is held like the 2nd and 4th cycle with L level (active). Although it is held at this time while the word line WLq of eye "q" watch in subarray 22A had also been activated, external

access is not carried out to the memory cell in subarray 22A.

[0091] At time of day t7, chip select signal #CS has started on H level (inactive). At this time, the reset-signal generation circuit 430 of drawing 7 outputs a pulse signal Q430. According to this, external access implementation signal #EX0 is set as H level (inactive), and the word line WLq of eye "q" watch in subarray 22A is deactivated.

[0092] In addition, the ACT signal generated within the refresh implementation signal generating circuit 44 of drawing 8 has H level period when only the predetermined period Td1 extended L level period of external access implementation signal #EX0, as shown in drawing 10 (k). In addition, in the time-of-day t5 neighborhood, since H level period of external access implementation signal #EX0 is longer than the predetermined period Td1 a little, only few periods serve as L level. Moreover, the control signal Q520 serves as L level in H level period of a BNK signal, and H level period of an ACT signal, as shown in drawing 10 (l). However, in drawing 10, since the refresh demand signal RFREQ0 serves as L level, the level of a BNK signal and an ACT signal does not influence the level of refresh implementation signal #RF0.

[0093] Drawing 11 is a timing chart which shows actuation of the word line activation control section about each blocks 20A-20D in the operation cycle shown in drawing 10. Drawing 11 (a) - (d) is the same as drawing 10 (a) - (d). Moreover, since the case where there is no refresh demand is assumed, refresh timing signal RFTM (drawing 11 (e)) is the same as drawing 10 (e). Therefore, the refresh demand signals RFREQ0-RFREQ3 (drawing 11 (f) - (i)) inputted into each block controllers 40A-40D, and refresh implementation signal #RF0 outputted from each block controllers 40A-40D - #RF3 (drawing 11 (n) - (p)) serve as the respectively same signal level as drawing 10 (f) and (m).

[0094] Drawing 11 (j) - (m) shows external access implementation signal #EX0-#EX3 outputted from each block controllers 40A-40D, and drawing 11 (j) of it is the same as that of drawing 10 (j). Moreover, drawing 11 (r) - (u) shows the condition of the word line in subarray 22A - 22D of each blocks 20A-20D, and drawing 11 (r) of it is the same as that of drawing 10 (p).

[0095] The 2nd cycle requires external access to 2nd block 20B. Therefore, 2nd block controller 40B sets external access implementation signal #EX1 (drawing 11 (k)) as L level (active). At this time, the word line WLp of eye "p" watch were chosen by line addresses A8-A19 is activated within 2nd subarray 22B.

[0096] moreover, the value of the line addresses A8-A19 used in the 2nd cycle -- since "p" is not changing till time of day t5 with "p" -- 2nd block controller 40B -- the 2- external access implementation signal #EX1 is held in three cycles which the 4th follows with L level (active). At this time, while the word line WLp of eye "p" watch in 2nd subarray 22B had also been activated, it is held.

[0097] Like [the 6th cycle] the 2nd cycle, since external access to 2nd block 20B is demanded, external access implementation signal #EX1 is set as L level (active). And within 2nd subarray 22B, the word line WLq of eye "q" watch is activated.

[0098] In addition, temporarily, when there is an external access request to 3rd block 20C in the 3rd cycle of drawing 11, it is held with L level (active) until 3rd external access implementation signal #EX3 is also set as L level (active) and line addresses A8-A19 change. And the word line of eye "p" watch in 3rd subarray 22C is activated in this case.

[0099] As mentioned above, as drawing 10 and drawing 11 explained, each block controllers 40A-40D will set up actively the external access implementation signal corresponding to the block, if external access to a certain block is required. At this time, the word line chosen by the line address within that block is activated, and external access is carried out to the memory cell on the activated word line. and each block controllers 40A-40D -- once -- being active (L level) -- the set-up external access implementation signal is held until the line addresses A8-A19 of the addresses A0-A19 used in a consecutive cycle change. At this time, a word line is held in the condition of having been activated and external access is carried out to the memory cell on the already activated word line in the cycle as which external access to that block was required again. If it does in this way, since it is not necessary to repeat activation and deactivation of a word line for every cycle, it becomes possible to reduce consumption of a current considerably.

[0100] Thus, the word line activation control section in this example can be held in the condition of having been activated to the last cycle, without deactivating the word line within the 1st memory cell block activated in the first cycle, when the operation cycle using the address containing the same line address continues.

[0101] Moreover, it can come, simultaneously a word line activation control section can also be held in the condition of having been activated to the last cycle, without deactivating the word line within the 2nd memory cell block activated in the cycle before the last cycle after the first cycle. Thus, in two or more blocks, in holding a word line in the condition of having been activated to coincidence, it becomes possible to be able to raise the frequency where external access is carried out to the memory cell on the activated word line, consequently to reduce considerably the consumed electric current accompanying activation of a word line.

[0102] In addition, in this example, since the line address is assigned to two or more bits only on the top of the addresses which consist of 20 bits, a line address stops being able to change comparatively easily. If it does in this way, since the frequency held where a word line is activated can be raised, it becomes possible to reduce further the consumed electric current accompanying activation of a word line.

[0103] Actuation in a D2. operation cycle (when there is a refresh demand): Drawing 12 is a timing chart which shows actuation of the word line activation control section about 1st block 20A when there is a refresh demand in an operation cycle. In addition, drawing 12 (a) - (d) and (g) are the same as drawing 10 (a) - (d) and (g).

[0104] As shown in drawing 12 (e), refresh timing signal RFTM has started on H level at the time of day ta in the 2nd cycle period. At this time, refresh demand signal generating circuit 50A (drawing 5) sets the refresh demand signal RFREQ0 (drawing 12 (f)) as H level immediately, and requires refresh from 1st block 20A. In addition, the refresh demand signal RFREQ0 is maintained at H level until refresh is completed in 1st block 20A.

[0105] In the 2nd cycle, since external access to 1st block 20A is not demanded, the reset-signal generation circuit 430 of drawing 7 will output a pulse signal Q430 (drawing 12 (i)), if the refresh demand signal RFREQ0 is set as H level. At this time, external access implementation signal #EX0 is set as H level (inactive), and the word line WLp of eye "p" watch in subarray 22A is deactivated. In addition, it is because external access to 1st block 20A is not demanded that this word line WLp can be made to deactivate during the 2nd cycle period.

[0106] If external access implementation signal #EX0 starts on H level, an ACT signal (drawing 12 (k)) will serve as L level after predetermined period Td1 progress. Moreover, in the 2nd cycle, the BNK signal (drawing 12 (g)) serves as L level. Therefore, the control circuit 520 of drawing 8 sets a control signal Q520 (drawing 12 (l)) as H level. Consequently, the refresh implementation signal generating circuit 44 outputs refresh implementation signal #RF0 (drawing 12 (m)) which has predetermined L level (active) period according to the refresh demand signal RFREQ0.

[0107] If refresh implementation signal #RF0 is set as L level (active), 1st line PURIDE coder 30A of drawing 9 will choose refresh addresses RFA8-RFA19, and will supply them to 1st line decoder 24A. Therefore, within subarray 22A of 1st block 20A, the word line of eye "n" watch were chosen by refresh addresses RFA8-RFA19 (drawing 12 (q)) is activated, and refresh is carried out about all the memory cells on the word line.

[0108] If refresh implementation signal #RF0 returns to H level (inactive), the word line WLn of eye "n" watch in subarray 22A will be deactivated. Moreover, the reset signal generating circuit 46 of drawing 5 generates the short pulse-like reset signal RST0 (drawing 12 (o)) according to the rising edge of refresh implementation signal #RF0. Refresh demand signal generating circuit 50A (drawing 5) returns the refresh demand signal RFREQ0 to L level according to a reset signal RST0. Thereby, the refresh actuation within the 1st block is completed.

[0109] In addition, if refresh implementation signal #RF0 returns to H level, the RFC signal (drawing 12 (n)) set as L level after predetermined period Td2 progress according to refresh implementation signal #RF0 will return to H level.

[0110] In the 3rd cycle, external access to 1st block 20A is demanded, and the RFC signal serves as H

level. Therefore, the set signal generation circuit 420 of drawing 7 outputs a pulse signal Q420, and external access implementation signal #EX0 is set as L level (active) according to this. And within subarray 22A, the word line WLp of eye "p" watch is activated again, and external access is carried out. [0111] Drawing 13 is a timing chart which shows actuation of the word line activation control section about each blocks 20A-20D in the operation cycle shown in drawing 12. Drawing 13 (a) - (d) is the same as drawing 12 (a) - (d). Refresh timing signal RFTM of drawing 13 (e) is the same as drawing 12 (e), and the actuation about 1st block 20A is the same as drawing 12.

[0112] If refresh timing signal RFTM starts on H level at time of day ta, all the refresh demand signals RFREQ0-RFREQ3 (drawing 13 (f) - (i)) will be immediately set as H level, and the refresh to each blocks 20A-20D will be required.

[0113] Since external access is demanded about 2nd block 20B in the time of day t2 before time of day ta, external access is carried out in the 2nd cycle. And the refresh demand signal RFREQ1 is held with H level. In the 3rd cycle, since there is no external access request to 2nd block 20B and there is a refresh demand, external access implementation signal #EX1 (drawing 13 (k)) is set as H level (inactive). At this time, the word line WLp (drawing 13 (s)) of eye "p" watch in 2nd subarray 22B is deactivated. And after external access implementation signal #EX1 starts, refresh implementation signal #RF1 (drawing 13 (o)) is set as L level (active). Thereby, the word line WLn of eye "n" watch in 2nd subarray 22B is activated, and refresh is carried out. Then, if refresh implementation signal #RF1 is set as H level (inactive), the refresh demand signal RFREQ1 will return to L level. In addition, in the 4th cycle, since external access to 2nd block 20B is demanded, external access implementation signal #EX1 is again set as L level (active), and the word line WLp of eye "p" watch in subarray 22B is again activated in connection with this.

[0114] About 3rd block 20C, external access is not required in the 2nd cycle, but external access implementation signal #EX2 (drawing 13 (l)) serves as H level (inactive). For this reason, shortly after the refresh demand signal RFREQ2 serves as H level, refresh implementation signal #RF2 (drawing 13 (p)) is set as L level. Thereby, the word line WLn (drawing 13 (t)) of eye "n" watch in 3rd subarray 22C is activated, and refresh is carried out. Then, if refresh implementation signal #RF2 is set as H level (inactive), the refresh demand signal RFREQ2 will return to L level. In addition, it is the same as actuation concerning 3rd block 20C about 4th block 20D.

[0115] By the way, refresh in each blocks 20A-20D is carried out according to the same refresh addresses RFA8-RFA19 (drawing 13 (w)). That is, the n-th word line WLn in each block 20A-20D is activated by value "n" of refresh addresses RFA8-RFA19, and all the memory cells on the word line WLn are refreshed by it.

[0116] If the refresh actuation in each blocks 20A-20D is completed, the refresh demand signals RFREQ0-RFREQ3 (drawing 13 (f) - (i)) will return to L level, respectively. The refresh counter controller 90 of drawing 4 will generate count-up signal #CNTUP (drawing 13 (v)), if all the refresh demand signals RFREQ0-RFREQ3 return to L level.

[0117] Drawing 14 is the block diagram showing the internal configuration of the refresh counter controller 90 of drawing 4. This controller 90 is equipped with 4 input NOR gate 92, NAND gate 94, the delay circuit 96, and the inverter 98. Four refresh demand signals RFREQ0-RFREQ3 are inputted into 4 input NOR gate 92. The output Q92 of 4 input NOR gate 92 is inputted into one input terminal of NAND gate 94. Further, an output Q92 is delayed in a delay circuit 96, and after it is reversed with an inverter 98, it is inputted into the input terminal of another side of NAND gate 94. After four refresh demand signals RFREQ0-RFREQ3 fall to L level, both count-up signal #CNTUP(s) outputted from NAND gate 94 serve as a pulse signal from which only the time delay in a delay circuit 96 serves as L level, so that he can understand from this configuration (drawing 13 (v)).

[0118] The refresh counter 100 (drawing 4) counts up one value of refresh addresses RFA8-RFA19 (drawing 13 (w)) according to this count-up signal #CNTUP. Therefore, the next refresh actuation is performed about the word line of the "n+1st" watch.

[0119] As mentioned above, as drawing 12 and drawing 13 explained, each block controllers 40A-40D will set up actively the refresh implementation signal corresponding to other blocks other than one block

with which external access is demanded, if refresh is required. In order to refresh within other blocks at this time, the word line currently held by the activated state is deactivated. Then, the word line chosen by the refresh address is activated, and refresh is carried out.

[0120] And after the external access request to the block is lost about one block with which external access is carried out, a refresh implementation signal is set up actively. At this time, the word line of the activated state within that one block is deactivated, after this, the word line chosen by the refresh address is activated, and refresh is carried out.

[0121] Thus, the word line activation control section in this example can be held in the condition of having been activated to the last cycle, without deactivating the word line within the 1st memory cell block activated in the first cycle, when the operation cycle using the address containing the same line address continues. And a word line activation control section can make the word line of the activated state within the 1st memory cell block deactivate, on condition that external access is not performed in the 1st memory cell block, when the word line within the 1st memory cell block will have been in the activated state and refresh is required from the 1st memory cell block. If it does in this way, while being able to perform refresh in semiconductor memory equipment, since it is not necessary to repeat activation and deactivation of a word line for every cycle, in the period when refresh is not performed, it becomes possible to reduce the consumed electric current accompanying activation of a word line.

[0122] Moreover, it can come, simultaneously a word line activation control section can also be held in the condition of having been activated to the last cycle, without deactivating the word line within the 2nd memory cell block activated in the cycle of the arbitration before the last cycle after the first cycle. And a word line activation control section can make the word line of the activated state within the 2nd memory cell block deactivate to the ** case as which refresh is required from the 2nd memory cell block with the 1st memory cell block, on condition that external access is not performed in the 2nd memory cell block.

[0123] Thus, when it can hold where the word line in two or more memory cell blocks is activated to coincidence, and refresh is required, a word line activation control section can make the word line of an activated state able to deactivate without waiting for termination of the last cycle, and can perform refresh.

[0124] By the way, in drawing 12 , since the refresh demand has occurred in the time of day t_a quite before from the time of day t_3 when the external access request to 1st block 20A occurs, it is possible to refresh in the 2nd cycle and to carry out external access in the 3rd cycle. However, when there was a refresh demand just before time of day t_3 , are put in another way and a refresh demand is within the comparatively short predetermined period before time of day t_3 , it is supposed that refresh is postponed, and external access is given priority to and carried out in the 3rd cycle. In addition, this is possible by using an ACT signal so that it may explain below.

[0125] Drawing 15 is a timing chart which shows actuation of the word line activation control section about 1st block 20A when different time of day from drawing 12 in an operation cycle has a refresh demand. In drawing 15 , refresh timing signal RFTM has started on H level to the time of day t_b within the predetermined period before the 2nd cycle is completed. In addition, drawing 15 (a) - (d) and (g) are the same as drawing 10 (a) - (d) and (g).

[0126] If refresh timing signal RFTM starts on H level at time of day t_b as shown in drawing 15 (e) and (f), the refresh demand signal RFREQ0 will be immediately set as H level, and the refresh to 1st block 20A will be required.

[0127] In the 2nd cycle, since external access to 1st block 20A is not demanded, if the refresh demand signal RFREQ0 is set as H level, a pulse signal Q430 (drawing 15 (i)) will be outputted. At this time, external access implementation signal #EX0 (drawing 15 (j)) is set as H level (inactive), and the word line WLp (drawing 15 (q)) of eye "p" watch in subarray 22A is deactivated. Thereby, the actuation for refresh is attained.

[0128] If external access implementation signal #EX0 starts on H level, an ACT signal (drawing 15 (k)) will serve as L level during the 3rd [after predetermined period T_{d1} progress] cycle period. However, in the 3rd cycle, the BNK signal (drawing 15 (g)) serves as H level. For this reason, the control circuit

520 of drawing 8 holds a control signal Q520 (drawing 15 (l)) in the 3rd cycle with L level, consequently refresh implementation signal #RF0 (drawing 15 (m)) is held with H level (inactive), without being set as L level (active). That is, the actuation for refresh is stopped.

[0129] moreover, the 3rd cycle requires external access to 1st block 20A -- it comes out, a pulse signal Q420 (drawing 15 (h)) is outputted, and external access implementation signal #EX0 is set as L level (active) according to this. And the word line WLP of eye "p" watch in subarray 22A is activated again. By this, priority will be given over refresh and external access will be carried out.

[0130] In the 4th cycle, since external access to 1st block 20A is not required but refresh is demanded, a pulse signal Q430 is outputted and external access implementation signal #EX0 is set as H level (inactive) according to this. At this time, the word line WLP of eye "p" watch in subarray 22A is deactivated. And after the predetermined period Td1 progress after external access implementation signal #EX0 starts, an ACT signal serves as L level and a control signal Q520 serves as H level in connection with this. Consequently, refresh implementation signal #RF0 is set as L level (active), the word line WLn of eye "n" watch in subarray 22A is activated, and refresh is carried out.

[0131] In addition, if refresh implementation signal #RF0 returns to H level (inactive), the word line WLn of eye "n" watch in subarray 22A will be deactivated. Moreover, according to the rising edge of refresh implementation signal #RF0, the short pulse-like reset signal RST0 (drawing 15 (o)) is generated, and the refresh demand signal RFREQ0 returns to L level according to this.

[0132] Drawing 16 is a timing chart which shows actuation of the word line activation control section about each blocks 20A-20D in the operation cycle shown in drawing 15 . Drawing 16 (a) - (d) is the same as drawing 15 (a) - (d). Refresh timing signal RFTM of drawing 16 (e) is the same as drawing 15 (e), and the actuation about 1st block 20A is the same as drawing 15 .

[0133] Since external access is demanded about 2nd block 20B in the time of day t2 before time of day tb, it is the same as drawing 13 . Moreover, since external access is not demanded about the 3rd and 4th block 20C and 20D, it is almost the same as drawing 13 . However, the operation stage of refresh changes with differences of the time of day when refresh timing signal RFTM starts.

[0134] In addition, the actuation after all the refresh demand signals RFREQ0-RFREQ3 return to L level, respectively is the same as that of drawing 13 .

[0135] as mentioned above, an external access implementation signal [as opposed to / as drawing 15 and drawing 16 explained, when each block controllers 40A-40D do not have an external access request to a certain block and refresh is required / the block] -- being inactive (H level) -- the word line which sets up and is held by the activated state is made to deactivate and an external access implementation signal [as opposed to / stop refresh actuation, when refresh is demanded within the predetermined period before the time of day when external access to the block is demanded, and / the block] -- again -- being active (H level) -- it can set up and a word line can be activated. In addition, refresh is carried out after implementation of external access is completed in the block.

[0136] Thus, in this example, when refresh is required within the predetermined period before the time of day when external access is demanded, external access has priority, and is carried out and refresh is postponed to the cycle after termination of external access. On the other hand, when refresh is required just before the predetermined period before the time of day when external access is demanded, it is necessary to carry out both activation of refresh and the external access within one cycle period. If it puts in another way, the period which can perform the both sides of refresh and external access will be set up so that it may become the shortest period Tcyc of change of the addresses A0-A19. However, in this example, this period Tcyc is shortest-ized so that it may mention later.

[0137] Drawing 17 is a timing chart which shows the actuation about 1st block 20A when different time of day from drawing 15 in an operation cycle has a refresh demand. In drawing 17, refresh timing signal RFTM has started on H level to the time of day tc in front of the predetermined period before the 2nd cycle is completed. In addition, drawing 17 (a) - (d) and (g) are the same as drawing 10 (a) - (d) and (g).

[0138] If refresh timing signal RFTM starts on H level at time of day tc as shown in drawing 17 (e) and (f), the refresh demand signal RFREQ0 will be immediately set as H level, and the refresh to 1st block 20A will be required.

[0139] In the 2nd cycle, since external access to 1st block 20A is not demanded, if the refresh demand signal RFREQ0 is set as H level, a pulse signal Q430 (drawing 17 (i)) will be outputted. At this time, external access implementation signal #EX0 (drawing 17 (j)) is set as H level (inactive), and the word line WLp of eye "p" watch in subarray 22A is deactivated.

[0140] If external access implementation signal #EX0 starts on H level, an ACT signal (drawing 17 (k)) will serve as L level just before termination of the 2nd cycle after predetermined period Td1 progress. And in the 2nd cycle, since the BNK signal (drawing 17 (g)) serves as L level, the pulse-like control signal Q520 (drawing 17 (l)) is outputted just before time of day t3. Consequently, refresh implementation signal #RF0 (drawing 17 (m)) is set as L level (active), the word line WLn of eye "n" watch in subarray 22A is activated, and refresh is carried out.

[0141] If refresh implementation signal #RF0 returns to H level (inactive), the word line WLn of eye "n" watch in subarray 22A will be deactivated. Moreover, according to the rising edge of refresh implementation signal #RF0, the short pulse-like reset signal RST0 (drawing 17 (o)) is generated, and the refresh demand signal RFREQ0 returns to L level according to this.

[0142] Moreover, the RFC signal (drawing 17 (n)) set as L level according to refresh implementation signal #RF0 after the predetermined period Td2 progress after refresh implementation signal #RF0 starts on H level returns to H level.

[0143] the 3rd cycle requires external access to 1st block 20A -- if it comes out and an RFC signal returns to H level, a pulse signal Q420 (drawing 17 (h)) will be outputted. At this time, external access implementation signal #EX0 is set as L level (active), the word line WLp of eye "p" watch in subarray 22A is activated again, and external access is carried out. Thus, in the 3rd cycle, external access is carried out for refresh after operation *****.

[0144] Drawing 18 is a timing chart which expands and shows the 1st of drawing 17 - the 4th cycle. However, only some signals of drawing 17 are shown by drawing 18.

[0145] As shown in drawing 18 (k), in order to carry out refresh and external access continuously, the period Trf required for implementation of refresh and the period Tex required for implementation of external access are required. Here, the period (it is also hereafter called a "precharge period") Tpr required for the precharge actuation by the precharge circuit in block 20A (not shown) and the period Tac required in case a word line is activated are included at each periods Trf and Tex. When carrying out refresh and external access in succession during one cycle period, the shortest period Tcyc of change of the addresses A0-A19 is usually set as (Trf+Tex). However, in this example, since the ACT signal and the RFC signal are used, it is possible to set up the shortest period Tcyc mostly (Trf+Tex-Tpr).

[0146] That is, the ACT signal has H level period when only the predetermined period Td1 extended L level (active) period of external access implementation signal #EX0. And this predetermined period Td1 is set as the almost same period as the period Tpr required for precharge actuation. For this reason, when it is before one or more predetermined periods Td from the time of day t3 when external access of as opposed to 1st block 20A in the time of day when the refresh demand signal RFREQ0 starts on H level is demanded, the period Tpr required for the precharge actuation for refresh can be secured during the 2nd cycle period. If it does in this way, the period for the refresh which should be secured in the 3rd cycle can be set up mostly (Trf-Tpr).

[0147] Moreover, the RFC signal has L level period when only the predetermined period Td2 extended L level (active) period of refresh implementation signal #RF0. And this predetermined period Td2 is set as the almost same period as the period Tpr required for precharge actuation. For this reason, if external access implementation signal #EX0 is set as L level (active) after setting an RFC signal to H level, the period Tpr required for the precharge actuation for external access is securable.

[0148] In this example, it is possible by using an ACT signal and an RFC signal to set up mostly (Trf+Tex-Tpr) the shortest period Tcyc of change of the addresses A0-A19.

[0149] Drawing 19 is a timing chart which shows actuation of the word line activation control section about each blocks 20A-20D in the operation cycle shown in drawing 17. Drawing 19 (a) - (d) is the same as drawing 17 (a) - (d). Refresh timing signal RFTM of drawing 19 (e) is the same as drawing 17 (e), and the actuation about 1st block 20A is the same as drawing 17.

[0150] Since external access is already carried out in the 2nd cycle about 2nd block 20B, it is the same as drawing 16. Moreover, since external access is not demanded about the 3rd and 4th block 20C and 20D, it is almost the same as drawing 16. However, the operation stage of refresh changes with differences of the time of day when refresh timing signal RFTM starts.

[0151] In addition, the actuation after all the refresh demand signals RFREQ0-RFREQ3 return to L level, respectively is the same as that of drawing 13.

[0152] As mentioned above, the word line activation control section in this example can make the word line of the activated state within the 1st memory cell block deactivate, on condition that external access is not performed in the 1st memory cell block as drawing 15 - drawing 19 explained, when the word line within the 1st memory cell block will have been in the activated state and refresh is required from the 1st memory cell block. And when external access is required from the 1st memory cell block within the predetermined period after refresh was required from the 1st memory cell block, activation of the refresh in the 1st memory cell block can be postponed, and the word line for performing read-out or the writing of data in the 1st memory cell block can be activated. If it does in this way, it will become possible to give priority to and perform external access.

[0153] Moreover, in this example, the predetermined period after refresh was required is set up almost equally to the period Tpr required for the precharge for refresh. As a period almost equal to the period Tpr required for precharge here, the period within **20% of Period Tpr is desirable. If it carries out like this, since precharge can be performed during a cycle period just before being the cycle as which external access is required, it becomes possible to set up comparatively short one cycle period Tcyc, i.e., the shortest period of change of the addresses A0-A19.

[0154] Actuation in a D3. standby cycle and a SUNUZU condition: In an operation cycle, although refresh is carried out with external access, in the state of a standby cycle and SUNUZU, external access is not carried out but only refresh is carried out.

[0155] Drawing 20 is a timing chart which shows actuation of the word line activation control section about each blocks 20A-20D in a standby cycle. In a standby cycle, chip select signal #CS (drawing 20 (a)) serves as H level (inactive), and the SUNUZU signal ZZ (drawing 20 (b)) serves as H level. In addition, since external access is not performed in a standby cycle, external access implementation signal #EX0-#EX3 (drawing 20 (j) - (m)) to four blocks 20A-20D is set as H level (inactive).

[0156] Shortly after refresh timing signal RFTM (drawing 20 (e)) starts in time of day t11, the refresh demand signals RFREQ0-RFREQ3 (drawing 20 (f) - (i)) over four blocks 20A-20D start on H level. At this time, refresh implementation signal #RF0 - #RF3 (drawing 20 (n) - (q)) fall to L level (active). Consequently, in four blocks 20A-20D, the word line WLn of eye the same "n" watch are chosen by refresh addresses RFA8-RFA19 is activated (drawing 20 (r) - (u)), and all the memory cells on that word line are refreshed.

[0157] Thus, in a standby cycle, since there is no external access also to the blocks [which] 20A-20D, refresh is carried out by coincidence in four blocks 20A-20D.

[0158] In addition, the actuation after all the refresh demand signals RFREQ0-RFREQ3 return to L level, respectively is the same as that of drawing 13.

[0159] In drawing 20, although the refresh actuation in a standby cycle was explained, it is the same also in the state of SUNUZU.

[0160] As mentioned above, in an operation cycle, a notice of what refresh actuation should be carried out for by refresh timing signal RFTM carries out refresh according to the operation situation of external access (1st refresh mode). On the other hand, shortly after what refresh actuation should be carried out for to a standby cycle by refresh timing signal RFTM in the state of SUNUZU is notified, refresh is carried out by coincidence in four blocks 20A-20D (2nd refresh mode).

[0161] E. The example of application to electronic equipment : drawing 21 is the perspective view using the semiconductor memory equipment by this invention of the portable telephone as one example of electronic equipment. This portable telephone 600 is equipped with the body section 610 and a covering device 620. A keyboard 612, the liquid crystal display section 614, the receiver section 616, and the body antenna section 618 are formed in the body section 610. Moreover, the transmission section 622 is

formed in the covering device 620.

[0162] Drawing 22 is the block diagram showing the electric configuration of the portable telephone 600 of drawing 21. A keyboard 612, the LCD driver 632 for driving the liquid crystal display section 614, SRAM640, and VSRAM642 and EEPROM644 are connected to CPU630 through the bus line.

[0163] SRAM640 is used, for example as high-speed cache memory. Moreover, VSRAM642 is used as activity memory for image processings. As this VSRAM642 (called false [SRAM] or Imagination SRAM), the memory chip 300 mentioned above is employable. Since various kinds of set points of a portable telephone 600 are stored, EEPROM644 is used.

[0164] When stopping actuation of a portable telephone 600 temporarily, VSRAM642 can be maintained in the SUNUZU condition. If it carries out like this, since VSRAM642 will perform internal refresh automatically, it is possible to hold without vanishing the data in VSRAM642. Since especially the memory chip 300 of this example is large capacity comparatively, it has the advantage that holding a lot of data, such as image data, can be continued for a long time.

[0165] In addition, this invention can be carried out in various modes in the range which is not restricted to an above-mentioned example or an above-mentioned operation gestalt, and does not deviate from that summary.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more memory cell blocks with which it is semiconductor memory equipment and the memory cell of a dynamic mold was arranged in the shape of a matrix, The block address for choosing one memory cell block of the arbitration of the memory cell blocks of said plurality, The line address for choosing one of two or more word lines in the selected memory cell block, The address input section into which the ***** address is inputted, and the data I/O section for outputting and inputting the data corresponding to the memory cell chosen according to said address, It has a word line activation control section for controlling activation of said word line. Said word line activation control section Said line address is equipped with the line address transition detecting element for detecting whether it is changeful. Said word line activation control section (a) It is the cycle in which read-out or the writing of data is possible to said memory cell. Continuously, when [1st] change of said line address is not detected [in / in said cycle using the address containing the same line address / said continuous cycle] by said line address transition detecting element The word line within the 1st memory cell block activated in the cycle of the beginning of said continuous cycles When holding in the condition of having been activated is possible to the last cycle of said continuous cycles and the word line within the memory cell block of the (b) above 1st has become an activated state, without being deactivated In being the 2nd as which refresh was required from said 1st memory cell block On condition that read-out or the writing of data is not performed in said 1st memory cell block It is possible to make the word line of the activated state within said 1st memory cell block deactivate. (c) within the predetermined period after refresh was required from said 1st memory cell block In being the 3rd as which read-out or the writing of data was required from said 1st memory cell block Semiconductor memory equipment characterized by postponing activation of the refresh in said 1st memory cell block, and activating the word line for performing read-out or the writing of data in said 1st memory cell block.

[Claim 2] It is semiconductor memory equipment currently assigned to two or more bits which are semiconductor memory equipment according to claim 1, and the train address is also inputted into coincidence with said line address at said address input section, and said line address has in the high order of said addresses which consist of two or more bits.

[Claim 3] The predetermined period after being semiconductor memory equipment according to claim 1 or 2 and requiring refresh from said 1st memory cell block is semiconductor memory equipment almost equal to a period required for the precharge in said 1st memory cell block.

[Claim 4] It is semiconductor memory equipment according to claim 1 to 3. Said word line activation control section In said 1st case, while it is possible to hold in the condition of having been activated to said last cycle, without being deactivated, the word line within the 1st memory cell block activated in said first cycle Furthermore, it sets in the cycle of the arbitration before said last cycle after said first cycle. When read-out or the writing of data is performed to the memory cell within the 2nd memory cell block of different arbitration from said 1st memory cell block The word line within the 2nd [said] memory cell block activated in the cycle of said arbitration While holding in the condition of having been activated is possible to said last cycle, and being the case where it is said 2nd [the] and requiring

refresh from said 1st memory cell block, without being deactivated In the ** case as which refresh is required from said 2nd memory cell block Semiconductor memory equipment with possible making the word line of the activated state within said 2nd memory cell block deactivate, on condition that read-out or the writing of data is not performed in said 2nd memory cell block.

[Claim 5] Two or more memory cell blocks with which the memory cell of a dynamic mold was arranged in the shape of a matrix, The block address for choosing one memory cell block of the arbitration of the memory cell blocks of said plurality, The line address for choosing one of two or more word lines in the selected memory cell block, In semiconductor memory equipment equipped with the address input section into which the ***** address is inputted, and the data I/O section for outputting and inputting the data corresponding to the memory cell chosen according to said address Are an approach for controlling activation of said word line, and the (a) aforementioned memory cell is received. Are the cycle in which read-out or the writing of data is possible, and said cycle using the address containing the same line address continues. In being the 1st by which change of said line address is not detected in said continuous cycle The word line within the 1st memory cell block activated in the cycle of the beginning of said continuous cycles When holding in the condition of having been activated is possible to the last cycle of said continuous cycles and the word line within the memory cell block of the (b) above 1st has become an activated state, without being deactivated In being the 2nd as which refresh was required from said 1st memory cell block On condition that read-out or the writing of data is not performed in said 1st memory cell block It is possible to make the word line of the activated state within said 1st memory cell block deactivate. (c) within the predetermined period after refresh was required from said 1st memory cell block In being the 3rd as which read-out or the writing of data was required from said 1st memory cell block The activation control approach of the word line characterized by postponing activation of the refresh in said 1st memory cell block, and activating the word line for performing read-out or the writing of data in said 1st memory cell block.

[Translation done.]

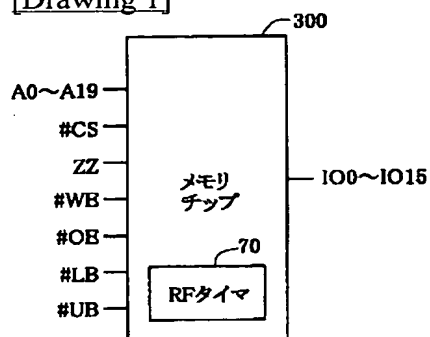
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

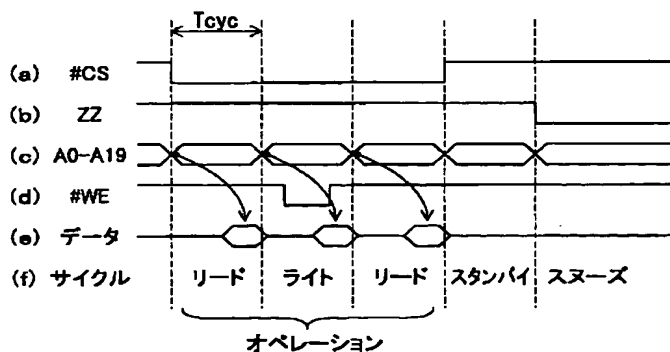


[Drawing 2]

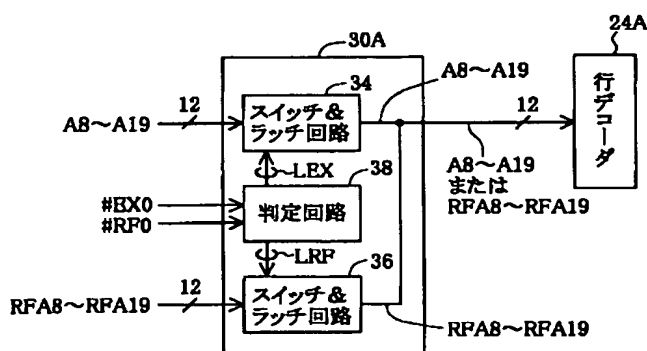
	#CS	ZZ	リフレッシュモード(注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード2
スヌーズ (パワーダウン)	H	L	モード2

[Drawing 3]

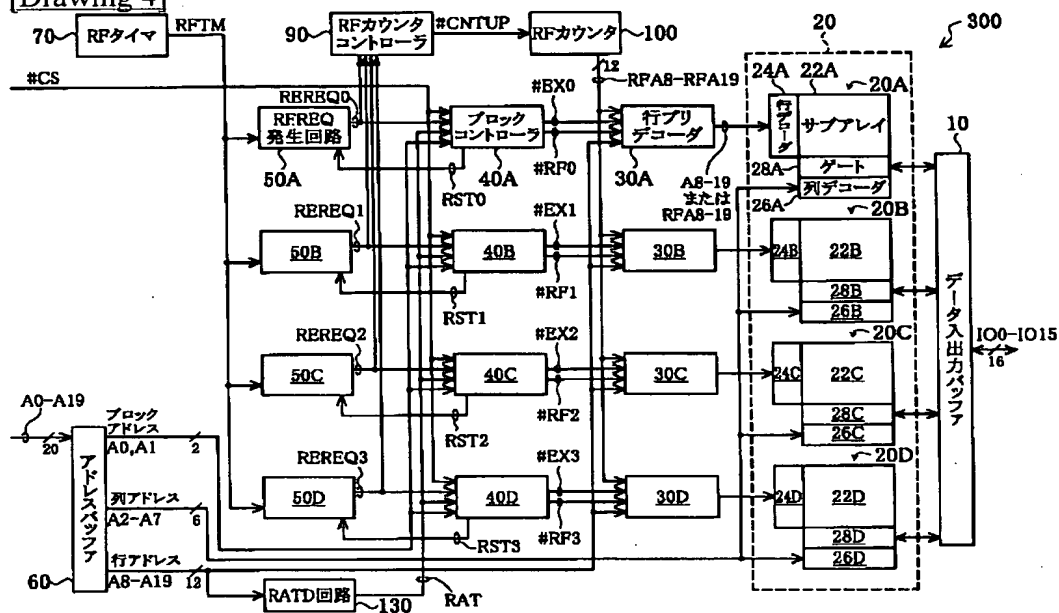
動作の概要



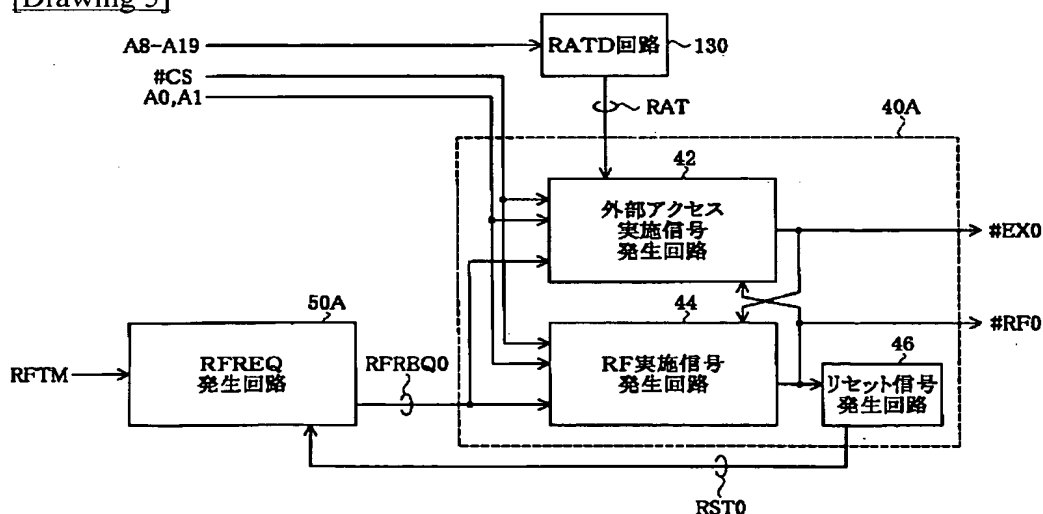
[Drawing 9]



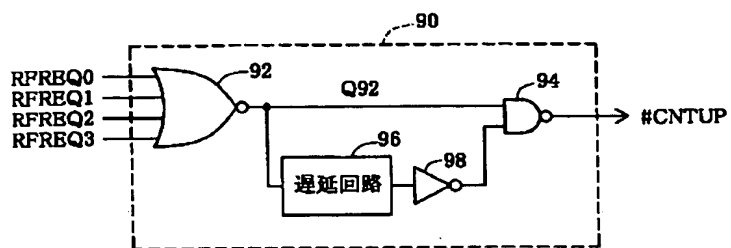
[Drawing 4]



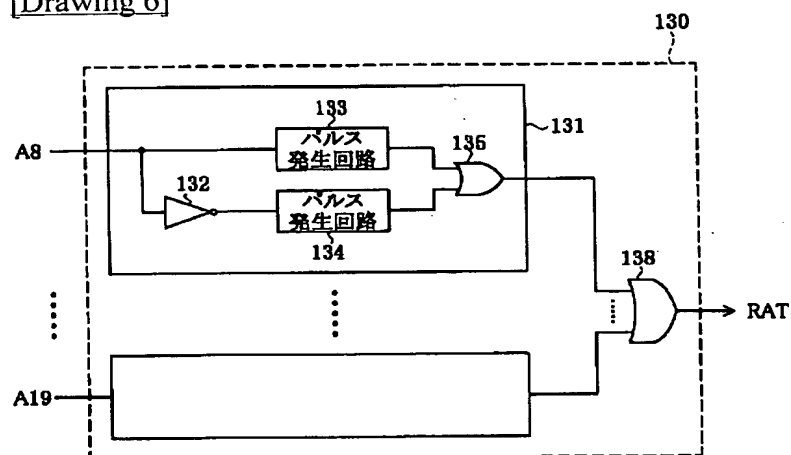
[Drawing 5]



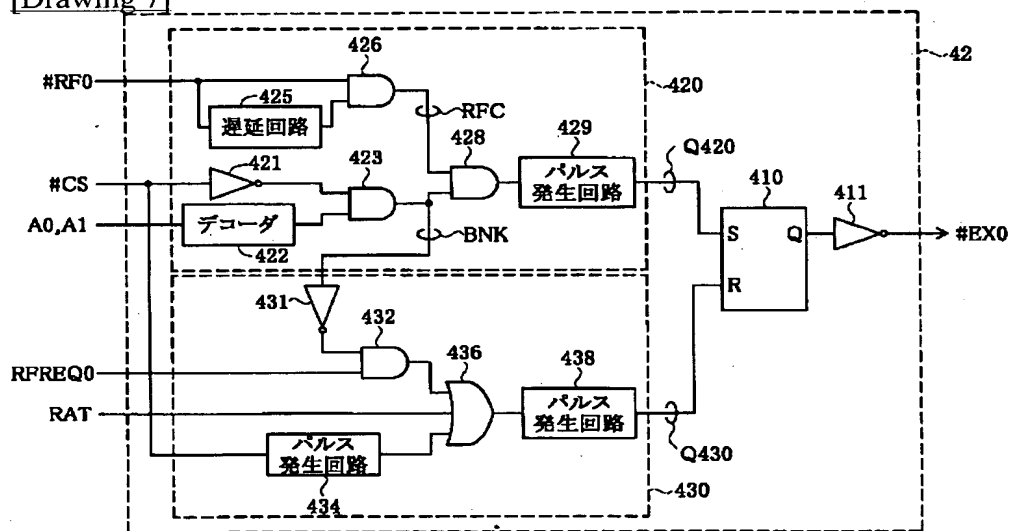
[Drawing 14]



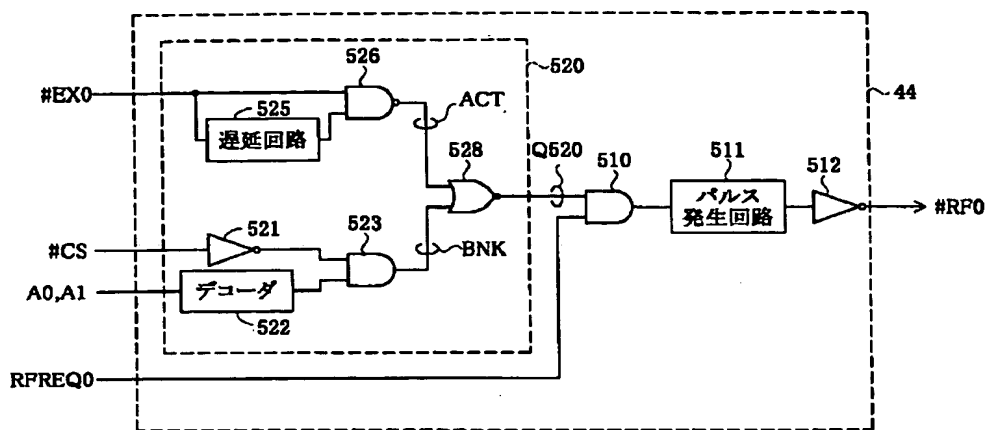
[Drawing 6]



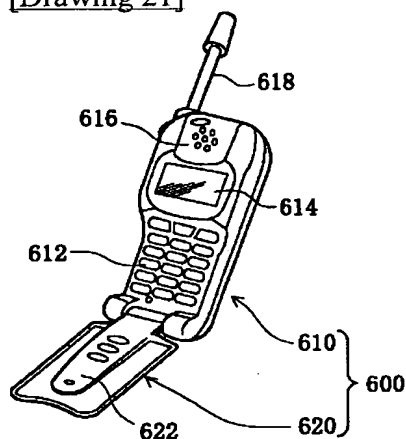
[Drawing 7]



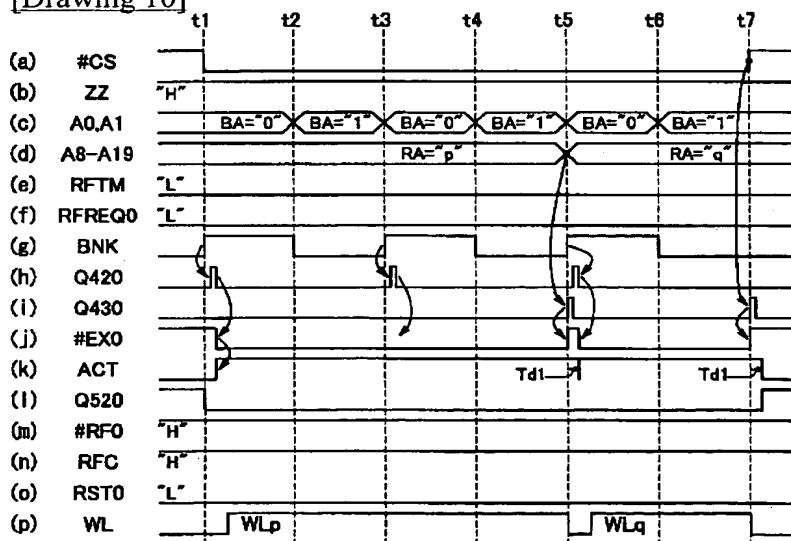
[Drawing 8]



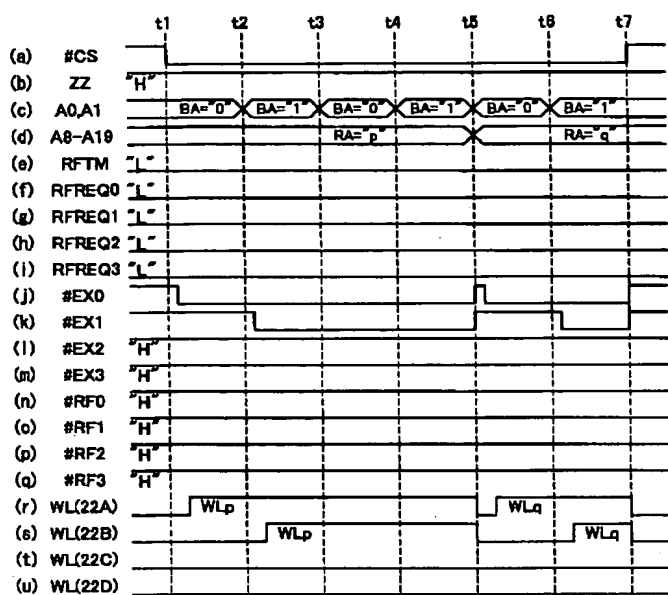
[Drawing 21]



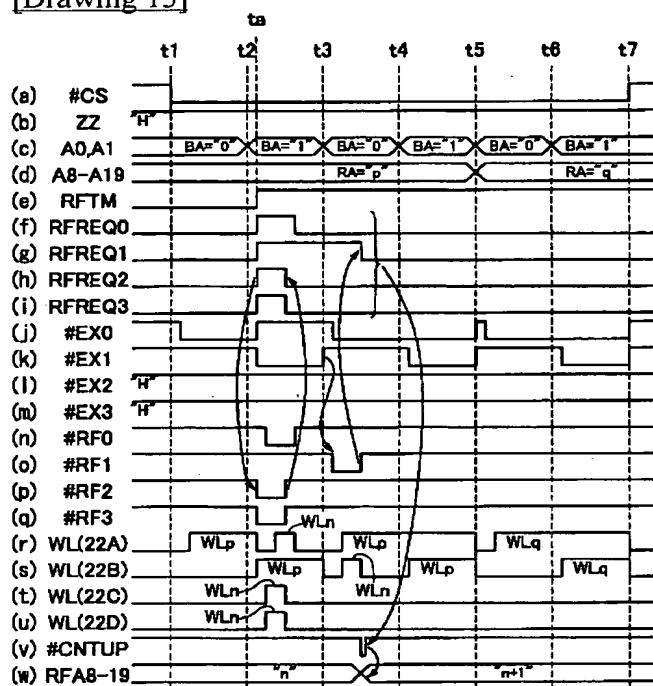
[Drawing 10]



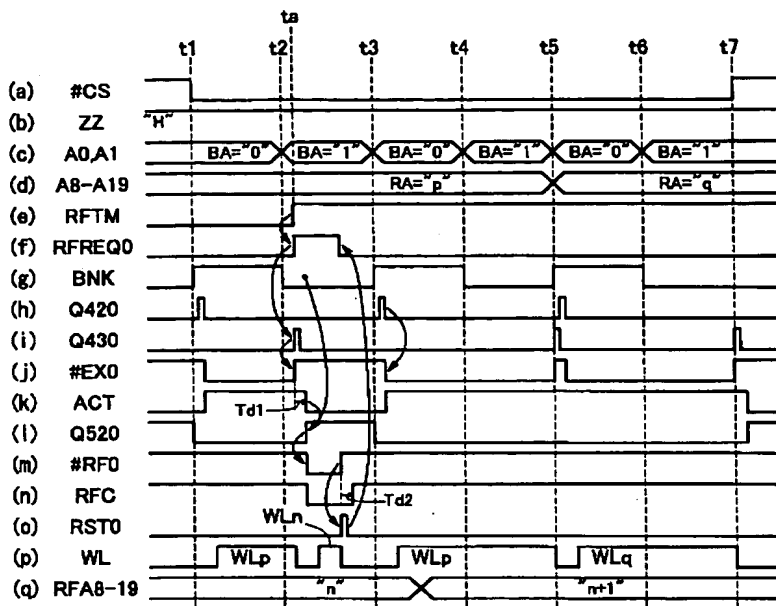
[Drawing 11]



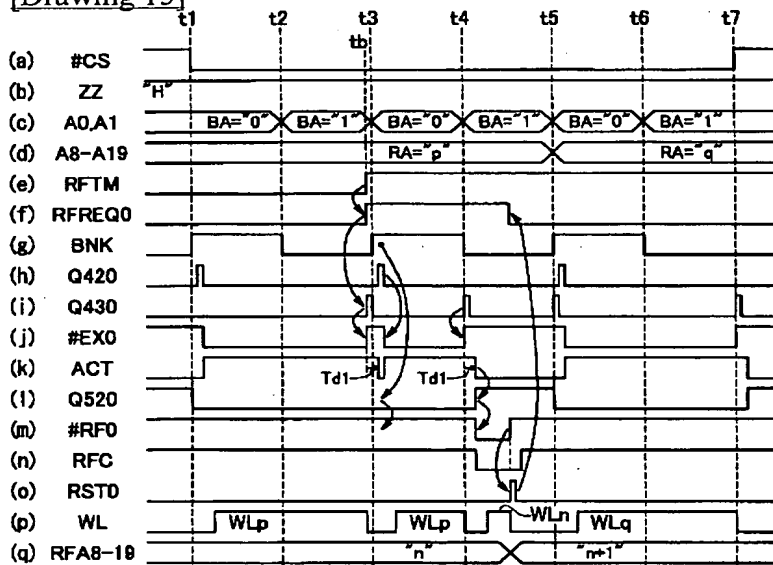
[Drawing 13]



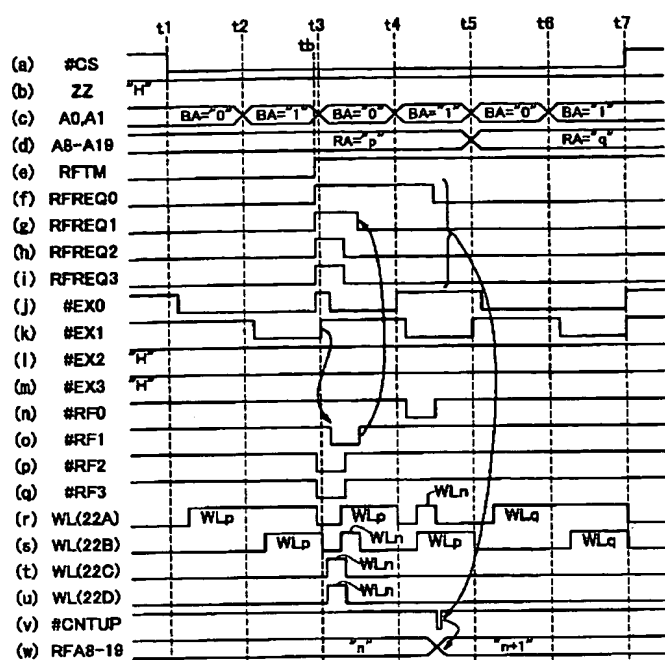
[Drawing 12]



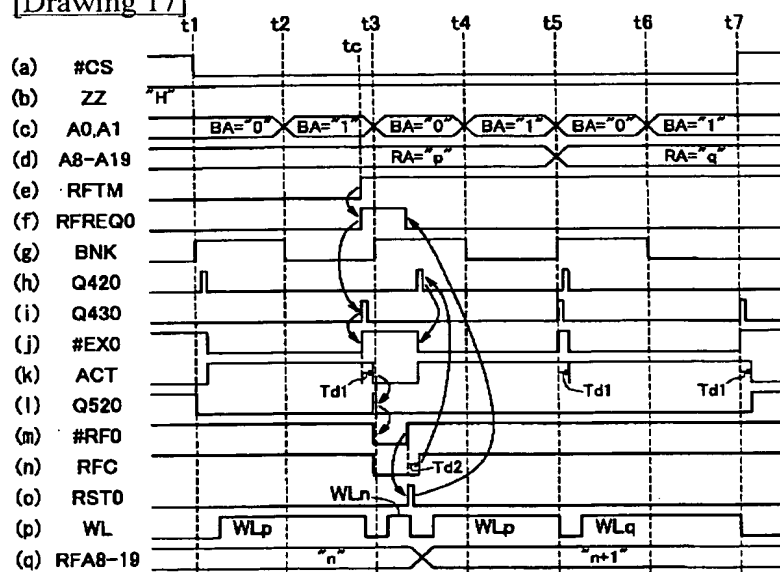
[Drawing 15]



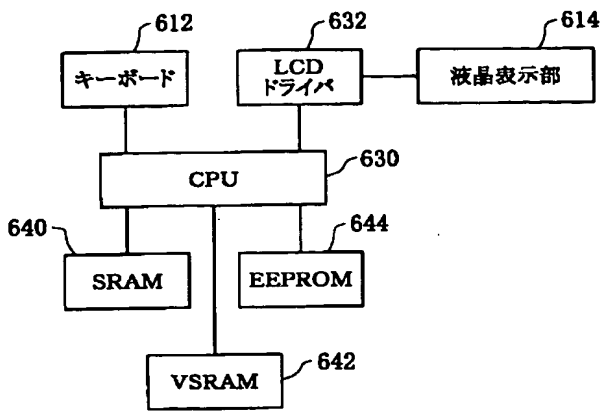
[Drawing 16]



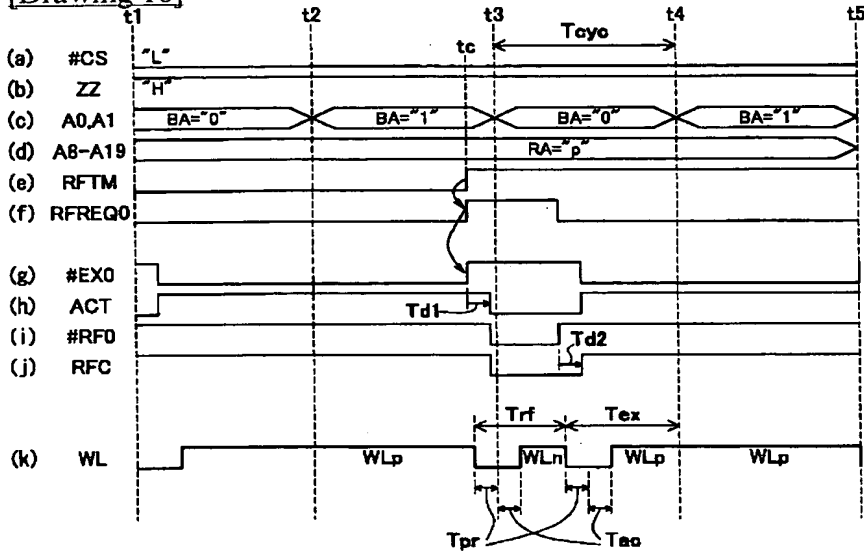
[Drawing 17]



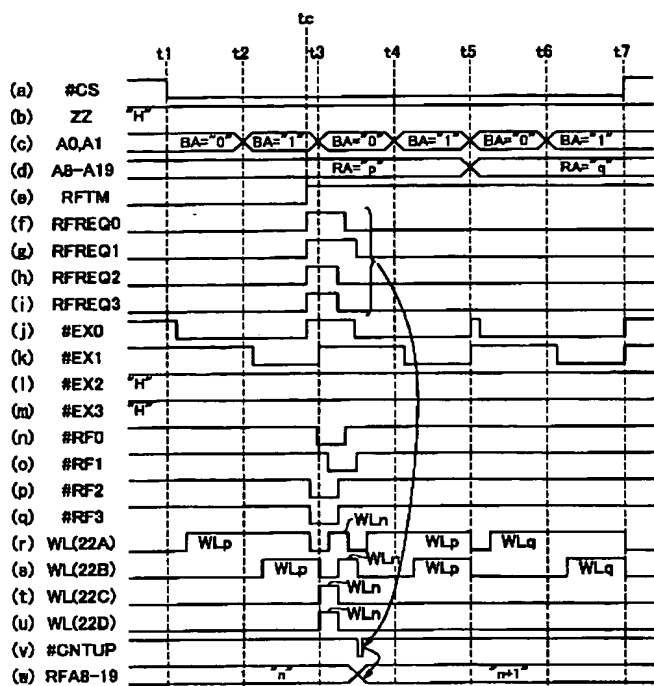
[Drawing 22]



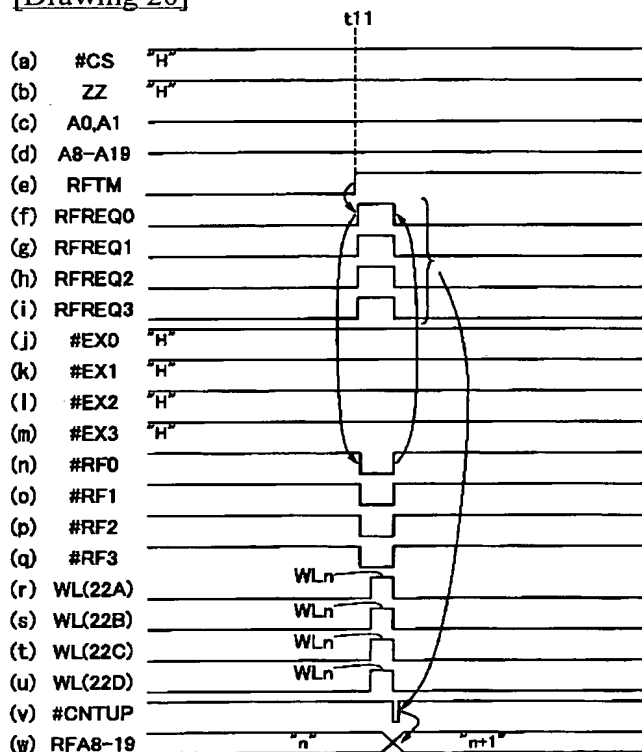
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]